

UNIVERZITET U SARAJEVU
ELEKTROTEHNIČKI FAKULTET
ODSJEK ZA AUTOMATIKU I ELEKTRONIKU

**PRAKTIKUM LABORATORIJSKIH VJEŽBI IZ PREDMETA
DIGITALNI INTEGRIRANI KRUGOVI**

Asistent Senad Huseinbegović, dipl.ing.el.

Sarajevo, 2007.godina

UVOD

Laboratorijske vježbe predstavljaju važan i obavezan dio nastave na predmetu “Digitalni integrirani krugovi”. To zahtjeva da se pripremama i izvođenju ovih laboratorijskih vježbi priđe sa visokim stepenom ozbiljnosti. Da bi se studentima olakšao rad, pristupilo se izradi odgovarajućih pripremnih materijala, koji imaju za cilj da budu neophodna pomoć studentima u izvođenju laboratorijskih vježbi predviđenih nastavnim planom i programom, te pisanju IZVJEŠTAJ-a za obavljene laboratorijske vježbe.

Kao pomoć u pisanju ovog Praktikum koristi se identičan materijal koji je napisao asistent Hajrudin Efendić, dipl. el. ing. za predmet “Digitalna elektronika”, koji su slušali studenti Odsjeka za automatiku i elektroniku i Odsjeka za telekomunikacije na trećoj godini studija.

Predmet “Digitalni integrirani krugovi”, kao i predmet “Digitalna elektronika”, je koncipiran na sintezi najčešće nepoznatih struktura, a na osnovu postavljenih zahtjeva, što predstavlja inženjerski pristup rješavanju praktičnih problema. Takav pristup zahtjeva da i ostali elementi nastave, tutorijali, laboratorijske vježbe i ispiti, budu koncipirani na sličan način.

Iz tih razloga, tematske cjeline koje slijede obuhvataju teorijske osnove problema, te uputstva za izvođenje laboratorijskih vježbi prema nastavnom planu i programu. Praktikum se sastoji od ukupno trinaest tematskih cjelina sa trinaest planiranih laboratorijskih vježbi.

Ovdje ćemo još jednom naglasiti da je prilikom izvođenja laboratorijskih vježbi akcenat stavljen na samostalan rad studenata u svim fazama provođenja vježbi. To znači da su studenti u obavezi, prema datim uputstvima, izvršiti proračun elektroničkog sklopa, formirati laboratorijski ispitni model, analizirati rad sklopa i popuniti odgovarajući IZVJEŠTAJ o provedenoj laboratorijskoj vježbi.

Izvršenje svih navedenih faza za svaku laboratorijsku vježbu je uslov verifikovanja obavljene laboratorijske vježbe.

I na kraju još jednom ćemo ponoviti pravila i propise kojih se studenti trebaju pridržavati. Rad u svim laboratorijama ETF-a zahtjeva disciplinu i pažnju. Nepažljiv rad može dovesti do brojnih neželjenih posljedica. Protivpropisno rukovanje skupom laboratorijskom opremom može dovesti do njenog kvara ili uništenja. Gore od toga, obzirom da se u laboratorijama radi sa mrežnim naponom, nepažljivo ili protivpropisno rukovanje laboratorijskim uređajima može uzrokovati fizičke povrede ili fatalan ishod. Iz tih razloga svi studenti su dužni da se strogo i bezpogovorno pridržavaju Pravilnika o radu u laboratorijama ETF-a i tehničkih i drugih uputstava za bezbjedno rukovanje laboratorijskom opremom, uvijek imajući na umu da je laboratorija mjesto za ozbiljan i odgovoran rad.

Sve primjedbe, uočene greške, sugestije, kritike i eventualne pohvale autoru slati na email

senad.huseinbegovic@etf.unsa.ba

NASTAVNI PLAN
laboratorijskih vježbi iz predmeta ‘Digitalni integrirani krugovi’
za školsku 2007/2008.godinu

L.V.	Naziv laboratorijske vježbe	Priprema	Izvještaj
1	Osnovni logički krugovi Formiranje složenih logičkih struktura od osnovnih logičkih krugova	Prema zadatku LV	DA
2	Diskretni DTL logički krugovi, karakteristike DTL logičkih krugova Diskretni HLL logički krugovi, karakteristike HLL logičkih krugova	Prema zadatku LV	DA
3	Diskretni TTL logički krugovi, karakteristike TTL logičkih krugova	Prema zadatku LV	DA
4	Snimanje osnovnih karakteristika TTL integriranih logičkih krugova	Prema zadatku LV	DA
5	Snimanje osnovnih karakteristika CMOS integriranih logičkih krugova	Prema zadatku LV	DA
6	RS flip-flop T flip-flop	Prema zadatku LV	DA
7	D flip-flop Integrirani D flip-flop	Prema zadatku LV	DA
8	JK flip-flop Integrirani JK flip-flop	Prema zadatku LV	DA
9	Sklopovi za produžavanje impulsa na bazi TTL i CMOS integriranih logičkih krugova	Prema zadatku LV	DA
10	Monostabilni multivibrator na bazi TTL i CMOS integriranih logičkih krugova	Prema zadatku LV	DA
11	Astabilni multivibrator na bazi TTL i CMOS integriranih logičkih krugova	Prema zadatku LV	DA
12	Integrirani monostabilni multivibrator Integrirani astabilni multivibrator	Prema zadatku LV	DA
13	Registar pomaka	Prema zadatku LV	DA

P O P I S*

DIGITALNIH INTEGRIRANIH KRUGOVA, KOJI SU NA RASPOLAGANJU ZA IZVOĐENJE LABORATORIJSKIH VJEŽBI IZ PREDMETA “DIGITALNI INTEGRIRANI KRUGOVI” U NASTAVNOJ 2007/2008.GODINI

Za izvođenje laboratorijskih vježbi iz predmeta “Digitalni integrirani krugovi” u nastavnoj 2007/2008.godini, elektronička laboratorija Elektrotehničkog fakulteta u Sarajevu raspolaže sa slijedećim digitalnim integriranim krugovima:

Oznaka integriranog kruga	Funkcionalnost i tehnologija izrade
TTL	
SN74LS00	4 x dvoulazni NI logički krug (Schottky TTL male potrošnje)
SN74LS01N	4 x dvoulazni NI logički krug (Schottky TTL male potrošnje sa otvorenim izl.kolekt.)
SN74LS02	4 x dvoulazni NILI logički krug (Schottky TTL male potrošnje)
SN74LS04	6 x NE logički krug (Schottky TTL male potrošnje)
SN74LS05	6 x NE logički krug (Schottky TTL male potrošnje, sa otvorenim izlaznim kolektorom)
SN74LS08	4 x dvoulazni I logički krug (Schottky TTL male potrošnje)
SN74LS32	4 x dvoulazni ILI logički krug (Schottky TTL male potrošnje)
SN74LS74	2 x D flip flop sa okidanjem na pozitivnu ivicu (Schottky TTL male potrošnje)
SN74LS76	2 x JK flip flop (Schottky TTL male potrošnje)
SN7445	Dekoder/Driver BCD/DEC (standardni TTL)
SN7447	Dekoder/Driver BCD/sedmostsegmentni kod (standardni TTL)
SN74195A	4 - bitni registar pomaka (shift) sa paralelnim pristupom (standardni TTL)
SN74LS107AN	2 x JK flip flop (Schottky TTL male potrošnje)
SN74123	Monostabilni multivibrator (standardni TTL)
SN74151	Selektor podataka / multiplekser (standardni TTL)
SN74153	2 x 4/1 selektor podataka / multiplekser (standardni TTL)
SN74155	2 x 2/4 dekodeer / demultiplekser (standardni TTL)
SN74LS174N	6 x D flip flop (Schottky TTL male potrošnje)
SN74191	Brojač naprijed / nazad (standardni TTL)
SN74LS260N	2 x petoulazni NILI logički krug (Schottky TTL, male potrošnje)
CMOS	
SN74HCT00E	4 x dvoulazni NI logički krug (brzi CMOS, TTL kompatibilan)
SN74HC02N	4 x dvoulazni NILI logički krug (brzi CMOS)
SN74HCT04E	6 x NE logički krug (brzi CMOS, TTL kompatibilan)
SN74HC20N	2 x četveroulazni NI logički krug (brzi CMOS)
SN74HC73AP	2 x JK flip flop (brzi CMOS)
SN74HC74N	2 x D flip flop sa okidanjem na pozitivnu ivicu (brzi CMOS)
SN74HC164N	8 - bitni pomjerački registar (brzi CMOS)
CD4001	4 x dvoulazni NE logički krug (CMOS)
CD4011	4 x dvoulazni NI logički krug (CMOS)
CD4027	2 x JK flip flop (CMOS)
CD4047	Monostabilni multivibrator / Astabilni multivibrator (CMOS)
CD4073	3 x troulazni I logički krug (CMOS)
CD4075	3 x troulazni ILI logički krug (CMOS)

* Popis integriranih krugova može biti predmet promjena, u smislu promjene stanja raspoloživosti pojedine komponente (ili pojedinih komponenti). Isto tako popis raspoloživih integriranih krugova može biti proširen sa novim komponentama. O svakoj promjeni studenti će biti blagovremeno obavješteni od strane asistenata ili osoblja elektroničke laboratorije ETF-a.

INTEGRIRANI KRUGOVI

Pojam integrirani krug (kolo) označava električni krug, koji obavlja određenu funkciju, a koji je ostvaren na minimalnoj površini.

Najčešće korišteni materijal za izradu integriranih krugova je silicijum (hemijski simbol Si). Silicijum ima niz prednosti u odnosu na druge poluvodičke materijale, ponajprije hemijsku jednostavnost, stabilnost oksida, kao i razvijenost silicijumske tehnologije. (Drugi najčešće korišteni poluvodički materijali su galijum arsenid GaAs i kadmijum sulfid CdS.)

Razlikujemo dvije velike grupe integriranih krugova: monolitne i hibridne.

Monolitni integrirani krugovi su krugovi takve konstrukcije da su svi elementi koji ih tvore formirani na jednom kristalu silicijuma. Monolitni integrirani krugovi se, prema vrsti nosilaca elektriciteta, dijele na bipolarnu i unipolarnu.

Hibridni integrirani krugovi sastoje se od više vodiča i otpora od tankog ili debelog filma na izolirajućoj podlozi, i poluvodičkih krugova i kapaciteta dodanih u obliku diskretnih elemenata. Izolirajuća podloga je najčešće od keramičkog materijala ili stakla.

Na Slici 1. prikazana je shema podjele integriranih krugova prema kategorijama.

Tehnologija koja se najčešće koristi za izradu integriranih krugova naziva se planarna tehnologija. Planarna tehnologija uključuje postupke epitaksijalnog rasta, oksidacije, fotolitografije i difuzije. Primjenom tehnika integriranja, moguće je proizvesti integrisane tranzistore, diode, otpornike i kondenzatore.

Integrirani krugovi mogu biti analogni ili digitalni.

Analogni integrirani krugovi služe za obradu analognih signala. Kod ovih krugova,

INTEGRIRANI KRUGOVI		
MONOLITNI	BIPOLARNI	IZOLACIJA P-N PRELAZOM
		IZOLACIJA ČVRSTIM DIELEKTRIKOM
		IZOLACIJA VAZDUŠNIM RASPOROM
	UNI-POLARNI	MOS
		JFET
HIBRIDNI		SA TANKIM SLOJEM (FILMOM)
		SA DEBELIM SLOJEM (FILMOM)

Slika 1.

kontinualna promjena ulazne veličine (obično je to napon ili struja) izaziva kontinualnu promjenu izlazne veličine. Posebnu podvrstu analognih integriranih kola čine linearna integrisana kola. Kod linearnih integriranih kola podrazumjeva se da postoji linearna zavisnost između ulaznog (x) i izlaznog (y) signala ($y = a x + b$).

Digitalni integrirani krugovi služe za obradu digitalnih signala. Kod ovih krugova, kontinualna ili diskretna promjena ulaznog signala izaziva diskretnu promjenu izlaznog signala.

Razlika između analognih i digitalnih integriranih krugova nije samo spoljašnja, već je i unutrašnja. Integrirani krug se sastoji od određenog broja tranzistora. Kod digitalnih integriranih krugova većina tranzistora u unutrašnjoj strukturi radi u prekidačkom režimu rada, odnosno nalaze se u jednom od dva stabilna stanja - zakočenju ili zasićenju. Zadržavanje tranzistora u linearnom režimu rada je veoma kratko i traje toliko koliko je potrebno da tranzistor pređe iz zasićenja u zakočenje ili obrnuto.

PAKOVANJE INTEGRIRANIH KRUGOVA

Integrirani krugovi se smještaju u odgovarajuća kućišta. Razlozi za pakovanje integriranih krugova u kućišta su višestruki, a glavni od njih mogu biti pobrojani kako slijedi:

- mehanička i električna zaštita integriranog kruga;
- radi odvođenja toplote u okolinu;
- obezbjeđenje odgovarajuće vrste izvoda za spajanje integriranog kruga u električnu strukturu.

Vrsta i tip kućišta integriranog kruga zavise od različitih faktora, kao što su dimenzije pločice integriranog kruga, gustina komponenti, predviđenog načina montaže, troškova izrade, i dr.

Materijal od kojeg se izrađuju kućišta integriranih krugova je najčešće metal, plastika ili keramika.

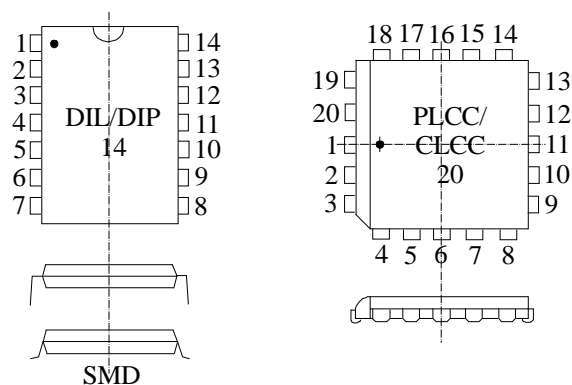
Postoji više standardiziranih oblika kućišta integriranih krugova:

1. TO kućište, obično sa kružno raspoređenim izvodima, u plastičnoj ili metalnoj izvedbi;
2. SIL/SIP kućište (single-in-line package), sa izvodima u jednoj liniji, u keramičkoj ili plastičnoj (P) izvedbi;
3. DIL/DIP kućište (dual-in-line package), sa izvodima u dvije linije sa strane kućišta, u keramičkoj ili plastičnoj (P) izvedbi;
4. QIL/QIP kućište (quad-in-line package), sa izvodima u po dvije linije sa svake strane kućišta, u keramičkoj ili plastičnoj (P) izvedbi;
5. SO (Small Outline) i VSO (Very Small Outline) kućišta sa malim i veoma malim izvodima, pretežno namjenjena integriranim krugovima za površinsku montažu SMD (Surface Mounted Devices);
6. PLCC/CLCC (Plastic / Ceramic Leaded Chip Carrier) kućišta za složenije integrisane krugove sa izvodima sa sve četiri strane kućišta.

Najčešće se susreću integrirani krugovi pakovani u DIL/DIP i PLCC/CLCC kućišta. Broj izvoda ovakvih kućišta je standardizovan . Tako se DIL/DIP kućišta mogu pojaviti sa 6, 8, 10, 14, 16, 18, 20, 22, 24, 28, 32, 36, 40, 48, 50 ili 64 izvoda, dok

PLCC/CLCC kućišta mogu imati 20, 28, 32, 44, 52, 68 ili 84 izvoda.

Na Slici 2. prikazan je izgled po jednog DIL/DIP i PLCC/CLCC kućišta. Sa Slike 2. može se uočiti pravilo čitanja rasporeda izvoda integriranog kruga za ove dvije vrste kućišta. Bočni izgled DIL/DIP kućišta prikazano je u normalnoj izvedbi (montaža u podnožje ili direktno u štampanu pločicu) i u SMD izvedbi.



Slika 2.

DIGITALNI INTEGRIRANI KRUGOVI

Digitalni integrirani krugovi mogu se razlikovati prema jednoj od slijedećih osobina:

- prema funkciji koju obavljaju;
- prema tipu logike osnovnog logičkog kola od kojeg su izgrađena;
- prema stepenu integracije.

Digitalni integrirani krugovi mogu obavljati više tipičnih funkcija: logička kola, flip-flopovi, brojači, registri, memorije, mikroprocesori i dr. Kompleksni digitalni uređaji izgrađeni su od više digitalnih integriranih kola koja obavljaju različite funkcije.

Digitalna integrisana kola mogu biti izgrađena od osnovnih logičkih kola različitih tipova logike:

- RTL** (Resistor Transistor Logic),
- RCTL** (Resistor Capacitor Transistor Logic),

DCTL (Direct Coupled Transistor Logic),
DTL (Diode Transistor Logic),
HLL (High Level Logic),
TTL (Transistor Transistor Logic),
TSL (Three State Logic),
ECL (Emitter Coupled Logic),
MOS (Metal Oxide Semiconductor),
CMOS (Complementary Metal Oxide Semiconductor),
I²L (Integrated Injection Logic).

Pojedini od nabrojanih tipova digitalnih logičkih krugova imaju samo istorijski značaj, jer se više ne proizvode i ne koriste u savremenim uređajima. U savremenim uređajima, u upotrebi su najčešće digitalni integrirani krugovi izrađeni od osnovnih logičkih krugova tipova TTL, (TSL), ECL, CMOS i I²L.

Digitalni integrirani krugovi se prema stepenu integracije mogu podijeliti u četiri grupe:

1. SSI (Small Scale Integration) - krugovi niskog stepena integracije;
2. MSI (Medium Scale Integration) - krugovi srednjeg stepena integracije;
3. LSI (Large Scale Integration) - krugovi visokog stepena integracije;
4. VLSI (Very Large Scale Integration) - krugovi veoma visokog stepena integracije.

Krugovi niskog stepena integracije (SSI) sadrže do 100 integriranih komponenti, krugovi srednjeg stepena integracije (MSI) sadrže 100 - 1.000 integriranih komponenti, krugovi visokog stepena integracije (LSI) sadrže 1.000 - 10.000 integriranih komponenti, dok krugovi veoma visokog stepena integracije (VLSI) sadrže preko 10.000 integriranih komponenti. I pored upravo navedenih razgraničenja, može se reći da ne postoji oštro izražena granica između navedenih stepena integracije. Proizvođači ovu podjelu obično koriste da bi naglasili kompleksnost određenog digitalnog integriranog kruga. Pojedini proizvođači kao pokazatelj kompleksnosti integriranog kruga koriste broj tranzistora, pri čemu se sugerije da je integrirani krug koji sadrži veći broj tranzistora složeniji. Podaci iz 1997.godine

govore da najkompleksnija savremena VLSI digitalna integrirana kola sadrže do 125.000.000 integriranih komponenti.

OSNOVNE KARAKTERISTIKE DIGITALNIH INTEGRIRANIH KRUGOVA

Digitalni integrirani krugovi imaju nekoliko karakteristika koje su značajne za njihovu upotrebu. Razlikujemo statičke i dinamičke karakteristike digitalnih integriranih krugova. U statičke karakteristike ubrajaju se napon napajanja, prenosna karakteristika, logički nivoi, margine šuma i mogućnost opterećenja digitalnog integriranog kruga. U dinamičke karakteristike spadaju vremena porasta, opadanja i kašnjenja, srednja disipacija snage i proizvod snage i kašnjenja.

Statičke karakteristike

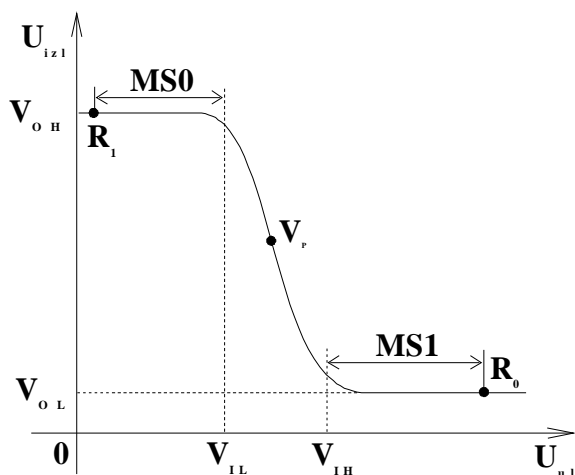
Napon napajanja je napon koji je potreban za normalan rad integriranog kruga. Nominalne i najveće dozvoljene napone napajanja za digitalni integrirani krug definiše proizvođač.

Mogućnost opterećenja izlaza (Fan - out) je broj koji pokazuje koliki je najveći broj standardnih logičkih krugova iste familije koji se mogu spojiti na izlaz digitalnog integriranog kruga, a da to ne ometa njegovu funkcionalnost. Treba voditi računa da ulazi različitih digitalnih krugova imaju različite faktore opterećenja. Standardni ulazi imaju faktor opterećenja 1, dok drugi ulazi, koji nisu standardni, mogu imati faktore opterećenja veće od 1 (npr. 2, 3, 4, ...). Broj nestandardnih ulaza koji mogu opteretiti jedan izlaz digitalnog kruga računa se prema njegovom Fan - out koeficijentu, uzimajući u obzir stvarne faktore opterećenja koje imaju ti nestandardni ulazi, vodeći računa o dozvoljenim iznosima struja i nivou napona na izlazu.

Prenosna karakteristika digitalnog integriranog kruga prikazuje zavisnost izlaznog signala od njegovog ulaznog signala. Tipičan izgled prenosne karakteristike digitalnog integriranog kruga dat je na Slici 3.

Izgled prenosne karakteristike se mijenja u zavisnosti od opterećenja izlaza digitalnog integriranog kruga.

Logička stanja. Digitalni integrirani krugovi imaju dva logička stanja, stanje niskog napona (stanje logičke 0) i stanje visokog napona (stanje logičke 1), uz pretpostavku korištenja pozitivne logike. Digitalni krugovi iz TSL familije imaju i treće stanje, takozvano stanje visoke impedance (High Impedance). Prema Slici 3., stanju logičke 1 odgovara napon V_{OH} , dok stanju logičke 0 odgovara napon V_{OL} . Razlika između napona



Slika 3.

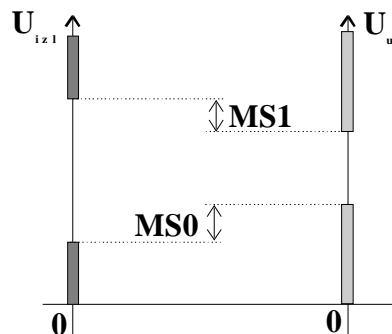
V_{OH} i V_{OL} predstavlja amplitudu izlaznog signala digitalnog integriranog kruga. Također, na Slici 3. su naznačeni naponi V_{IL} (najveći dozvoljeni napon logičke 0 na ulazu) i V_{IH} (najmanji dozvoljeni napon logičke 1 na ulazu).

Margina šuma je rezerva napona na ulazu digitalnog integriranog kruga koja još uvijek neće prebaciti digitalni krug u drugo logičko stanje. Margina šuma se definiše pomoću prenosne karakteristike digitalnog kruga. Razlikujemo marginu šuma logičke 0 ($MS0$) i marginu šuma logičke 1 ($MS1$). Tačke R_0 i R_1 predstavljaju radne tačke za stanja logičke 0 i logičke 1 digitalnog kruga respektivno. Prisutno je pitanje praktičnog određivanja vrijednosti margina šuma logičke 0 i logičke 1. Za vrijednosti napona radnih tačaka R_0 i R_1 uzimaju se vrijednosti napona V_{OH} i V_{OL} respektivno. Sada se, prema Slici 4.,

vrijednosti margina šuma mogu izračunati kao:

$$MS0 = V_{IL} - V_{OL};$$

$$MS1 = V_{OH} - V_{IH}.$$



Slika 4.

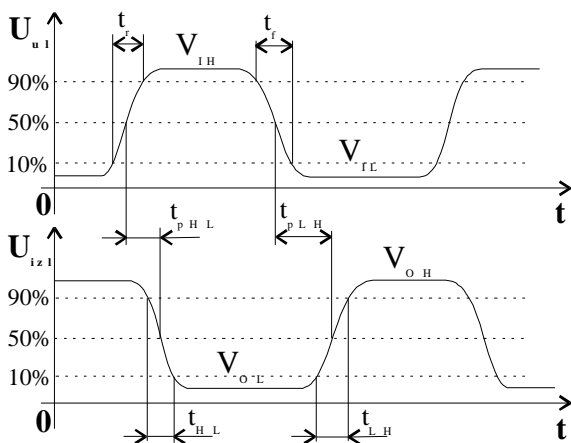
Dinamičke karakteristike

Vrijeme porasta (t_{LH}) je vrijeme potrebno da izlazni signal iz digitalnog kruga poraste od 10 % do 90 % razlike između napona u stanju logičke 0 i stanju logičke 1. Analogno prethodnoj definiciji, definiše se vrijeme porasta ulaznog signala t_r .

Vrijeme opadanja (t_{HL}) je vrijeme potrebno da izlazni signal iz digitalnog kruga opadne od 90 % do 10 % razlike između napona u stanju logičke 1 i stanju logičke 0. Analogno prethodnoj definiciji, definiše se vrijeme opadanja ulaznog signala t_f .

Vrijeme kašnjenja (t_p ili t_d) je vrijeme koje protekne od trenutka kada ulazni impuls u digitalni krug prođe kroz 50 % svoje krajnje vrijednosti, pa do trenutka kada izlazni impuls iz digitalnog kruga prođe kroz 50 % svoje krajnje vrijednosti. Obzirom da vremena kašnjenja prednje i zadnje ivice izlaznog signala (t_{pHL} i t_{pLH}) nisu ista, definiše se vrijeme kašnjenja digitalnog kruga t_p (t_d) kao aritmetička sredina vrijednosti t_{pHL} i t_{pLH} .

Na Slici 5. prikazana su sva vremena pomenuta u prethodnim definicijama.



Slika 5.

Srednja disipacija snage P_D definiše se kao utrošak energije u jednom logičkom krugu, ako se krug pobuđuje signalom oblika periodičnih impulsa sa faktorom režima 50 %. Prethodna definicija uzima se iz razloga što je disipacija snage logičkog kruga u stanju logičke 1 različita od disipacije snage istog logičkog kruga u stanju logičke 0.

Proizvod snage i kašnjenja PDP. Snaga disipacije logičkog kruga obično je povezana sa najvećom mogućom brzinom rada kruga. Zbog toga se pri projektovanju digitalnih integriranih krugova uvijek pravi kompromis između brzine i potrošnje. Kao mjera tog kompromisa definiše se proizvod snage i kašnjenja (PDP: Power - Delay Product), koji se izražava u jedinici J (joule). PDP predstavlja energiju koju logički krug utroši prilikom prelaska stanja logičko 0 u stanje logičko 1, i obrnuto. Logički krug se smatra boljim ukoliko je njegov PDP manji. Savremeni logički krugovi imaju PDP faktor reda nekoliko pJ.

OZNAČAVANJE DIGITALNIH INTEGRIRANIH KRUGOVA

Označavanje digitalnih integriranih krugova zavisi od vrste integriranog kruga, i u velikoj mjeri zavisi od proizvođača, odnosno od načina kako proizvođač označava svoje proizvode. Tako se razlikuju oznake kod logičkih krugova, memorija, mikroprocesora i dr. No, barem što se tiče digitalnih integriranih krugova sa kojima se studenti najčešće susreću, ipak se može reći da je

postignut dosta visok stepen standardizacije oznaka, koji će biti ovdje izložen.

Kada su u pitanju logički krugovi tipova TTL i CMOS, danas je najviše u upotrebi serija 54/74 ovih logičkih krugova. Oznaka ovih logičkih krugova je oblika

XXMMKKKNNNN,

pri čemu pojedina polja u oznaci imaju slijedeće značenje:

XX - oznaka proizvođača;
MM - oznaka serije 54/74. Oznaka 74 označava da se radi o standardnoj izvedbi sa temperaturnim opsegom $0 \div 70$ °C, a oznaka 54 označava da se radi o military izvedbi sa temperaturnim opsegom $-55 \div +125$ °C;
KKK - oznaka familije logičkog kruga. Oznaka se može sastojati od jednog do tri slova. Standardna TTL kola nemaju nikakvo slovo na ovom mjestu.
NNNN - oznaka funkcionalnosti logičkog kruga, koja se sastoji od dva do četiri broja.

Na mjestu u oznaci logičkog kruga, gdje je predviđena oznaka familije logičkog kruga, uobičajene su slijedeće oznake:

bez oznake - standardni TTL,
 L - (Low) TTL male potrošnje,
 S - Schottky TTL,
 F - (Fast) TTL velike brzine,
 LS - Low Schottky TTL,
 AS - (Advanced Schottky) TTL,
 ALS - (Advanced Low Schottky) TTL,
 C - standardni CMOS,
 HC - (High speed) brzi CMOS,
 HCT - brzi, TTL kompatibilni CMOS,
 AC - (Advanced) CMOS,
 ACT - (Advanced), TTL kompatibilni CMOS.

Pored do sada navedenih elemenata, oznaka se može sastojati i od dodatnog dijela, koji sadrži podatke o radnoj temperaturi, temperaturi lemljenja, pakovanju, i dr. Tipične oznake logičkih krugova serije 54/74 su slijedećeg izgleda:

SN74LS08 (4 x dvoulazni, male potrošnje, Schottky TTL I logički krug),

SN74HCT32 (4 x dvoulazni, brzi, TTL kompatibilni CMOS ILI logički krug).

Pored serije 54/74, studenti se mogu susresti i sa serijom 4000 CMOS logičkih krugova. Serija 4000 je bila prva realizovana familija CMOS logičkih krugova u periodu 1965. - 1970.godine. Nakon nje, uslijedila je modifikovana familija sa oznakom 4000B. Oznaka logičkog kruga sastoji se od oznake serije 40 i dvocifrenog ili trocifrenog broja koji označava funkcionalnost logičkog kruga. Tipična oznaka logičkog kruga serije 4000 je oblika:

CD 4011 B (4 x dvoulazni CMOS NI krug).

Određena standardizacija postoji i u označavanju memorijskih integriranih krugova. S druge strane, označavanje mikroprocesora je potpuno u domenu proizvođača. Specifični načini označavanja, koje koriste različiti proizvođači integriranih krugova, ovdje neće biti navedeni, iz razloga što se studenti sa njima ne sreću u laboratorijskom radu.

POREĐENJE KARAKTERISTIČNIH OSOBINA RAZLIČITIH FAMILIJA INTEGRIRANIH KRUGOVA

Digitalni integrirani krugovi imali su svoj postepeni historijski razvoj. Prvi tip digitalnih integriranih krugova bio je RTL (Resistor Transistor Logic), koji se pojavio 1961.godine. Nakon toga, razvoj integriranih logičkih krugova bio je usmjeren nastojanjima da se postignu određene osobine koje nije bilo moguće postići sa postojećim tipom. Tokom vremena, razvijale su se i tehnike integriranja, koje su omogućile produkciju manjih i bržih integriranih krugova, sa manjom potrošnjom i većim stepenom integracije. Takvim razvojem došlo se do većeg broja tipova logičkih krugova, kakve su već pomenuti tipovi RCTL, DCTL, DTL, HLL, TTL, TSL, ECL, MOS, PMOS, NMOS, CMOS, I²L. Ubrzan razvoj tehnologija integriranih logičkih krugova uzrokovao je da su pojedini tipovi vremenom napušteni, tako da se danas najčešće koriste integrirani krugovi tipa TTL, (TSL), MOS, CMOS, ECL i I²L.

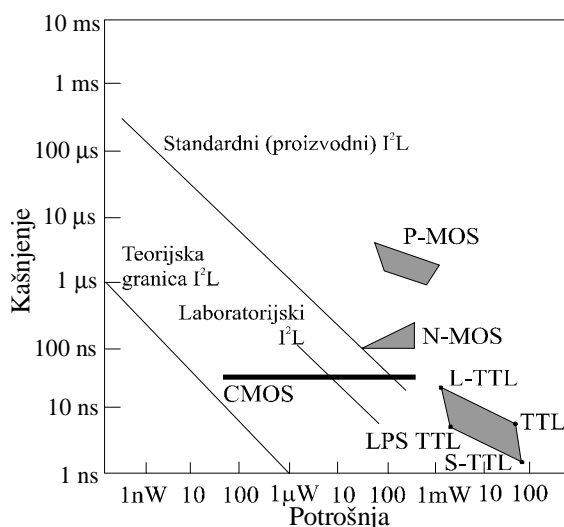
Unutar jednog tipa logičkih krugova razvijene su logičke familije. Niti kod jedne familije logičkih krugova nije postignuto da sve karakteristike budu idealne. Obično jedna familija logičkih krugova ima jednu ili dvije dobre karakteristike, koje je u tom pogledu izdvajaju od drugih familija. Odluka o korištenju određene familije logičkih krugova obično je rezultat kompromisa, koji zavisi od zahtjeva koji se postavljaju na osnovne karakteristike logičkih krugova, kakve su potrošnja, kašnjenje, cijena, i dr. U Tabeli 1. data je usporedba osnovnih karakteristika familija logičkih krugova, koje su danas najčešće u upotrebi.

TABELA 1.

	P M OS	N M OS	C MO S	TT L	I ² L	EC L
Brzina	6	5	3	2	3	1
Gustoća in.	2	1	3	4	2	4
Potrošnja	4	5	6	3	6	2
Cijena	6	5	4	4	4	4

1 = usporedno najveće,
6 = usporedno najmanje

Na Slici 6. prikazani su dijagrami odnosa između kašnjenja i potrošnje za tipove logičkih krugova koje su danas najčešće u upotrebi.



Slika 6.

OSNOVE BULOVE ALGEBRE. OSNOVNI LOGIČKI KRUGOVI

Pojedine situacije i slučajevi mogu imati samo dva rješenja. Ukoliko se zadržimo u polju elektrotehnike, tipičan primjer za ovo je sijalica. Sijalica može da svijetli ili da ne svijetli. Slučaj kada sijalica prelazi iz stanja kada ne svijetli u stanje kada svijetli ili obrnuto je suviše kratkotrajan i nestabilan da bi se mogao razmatrati kao posebno stanje. U okvirima elektronike, primjer uređaja koji imaju bivalentne karakteristike su prekidački krugovi (prekidači, releji) i bistabilni multivibratori.

Stoga je za razmatranje ovakvih slučajeva potrebno koristiti logičku algebru, ili Bulovu algebru.

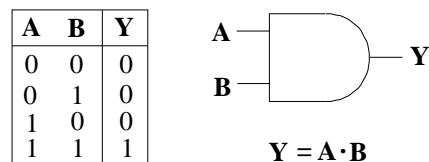
OSNOVE BULOVE ALGEBRE

Početak 19. vijeka, engleski matematičar Džordž Bul (George Boole) formalizirao je zakone logičkog rasuđivanja uobličavajući tzv. Bulovu algebru (engl. Boolean algebra). Bulova algebra prvu primjenu u elektronici nalazi 1938. godine, kada ju je Šenon (C.E. Shannon) iskoristio u teoriji telekomunikacija. Bulova algebra danas predstavlja osnovu za opis funkcionisanja logičkih krugova.

Bulova algebra definiše tri osnovne operacije nad logičkim promjenljivim:

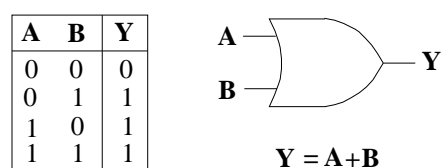
- operaciju “I” (engl. AND), koja se označava simbolom “•”;
- operaciju “ILI” (engl. OR), koja se označava simbolom “+”;
- operaciju “NE” (engl. NOT), koja se označava simbolom “-”.

Logička funkcija “I” dvije logičke promjenljive označava da će se vrijednost logičko 1 pojaviti ako i samo ako obje logičke promjenljive imaju vrijednost logičko 1. Na Slici 1. prikazana je tabela istine “I” logičke operacije i grafički simbol “I” logičkog kruga.



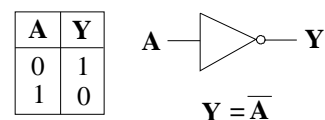
Slika 1.

Kao rezultat logičke operacije “ILI” nad dvije logičke promjenljive dobija se vrijednost logičko 1 ako barem jedna logička promjenljiva ima vrijednost logičko 1. Na Slici 2. prikazana je tabela istine logičke “ILI” operacije i grafički simbol “ILI” logičkog kruga.



Slika 2.

Logička “NE” operacija definiše se nad jednom logičkom promjenljivom. Rezultat logičke “NE” operacije je komplementarna vrijednost u odnosu na vrijednost koju ima logička promjenljiva. Na Slici 3. prikazana je tabela istine logičke “NE” operacije i grafički simbol “NE” logičkog kruga.



Slika 3.

Na osnovu tri definisane osnovne logičke operacije, izvodi se niz identiteta, zakona i teorema, koji sačinjavaju Bulovu algebru.

Identiteti

1. Operacije sa logičkom 0:

$$0 \cdot A = 0;$$

$$0 + A = A.$$

2. Operacije sa logičkom 1:

$$1 \cdot A = A;$$

$$1 + A = 1.$$

3. Operacije sa istovjetnim vrijednostima:

$$A \cdot A = A;$$

$$A + A = A.$$

4. Operacije sa komplementarnim vrijednostima:

$$A \cdot \bar{A} = 0;$$

$$A + \bar{A} = 1.$$

Zakoni Bulove algebre

1. Zakon komutacije:

$$A + B = B + A;$$

$$A \cdot B = B \cdot A.$$

2. Zakon asocijacije:

$$A + (B + C) = (A + B) + C;$$

$$A \cdot (B \cdot C) = A \cdot (B \cdot C).$$

3. Zakon distribucije:

$$A \cdot (B + C) = A \cdot B + A \cdot C;$$

$$A + B \cdot C = (A + B) \cdot (A + C).$$

4. Zakon apsorpcije:

$$A + A \cdot B = A;$$

$$A \cdot (A + B) = A;$$

$$A + \bar{A} \cdot B = A + B;$$

$$A \cdot (\bar{A} + B) = A \cdot B;$$

$$(A \cdot B) + (A \cdot \bar{B}) = A;$$

$$(A + B) \cdot (A + \bar{B}) = A.$$

Teoreme Bulove algebre

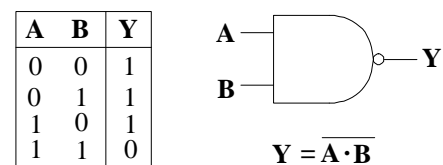
Važnu ulogu imaju dvije teoreme Bulove algebre, koje su poznate kao De Morganove teoreme:

$$\overline{A + B} = \bar{A} \cdot \bar{B};$$

$$\overline{A \cdot B} = \bar{A} + \bar{B}.$$

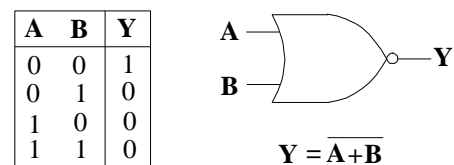
Kombiniranjem tri osnovne logičke operacije mogu se dobiti još neke važne logičke operacije, od kojih će ovdje biti navedene četiri koje se najčešće koriste.

Logička operacija “NI” (eng. NAND) dobija se kombinovanjem logičkih operacija “I” i “NE”. Na Slici 4. prikazana je tabela istine “NI” logičke operacije i grafički simbol “NI” logičkog kruga.



Slika 4.

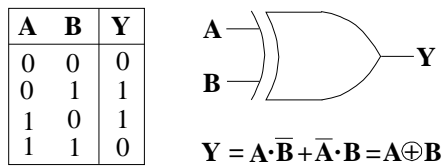
Logička operacija “NILI” (engl. NOR) dobija se kombinovanjem logičkih operacija “ILI” i “NE”. Logička operacija “NILI” je komplementarna logičkoj operaciji “NI”. Na Slici 5. prikazana je tabela istine logičke operacije “NILI” i grafički simbol “NILI” logičkog kruga.



Slika 5.

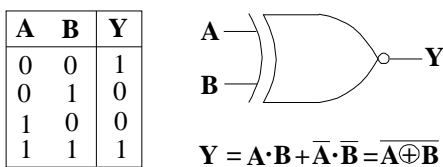
Logička operacije “ISKLUČIVO-ILI” (engl. EX-OR) se razlikuje od obične “ILI” logičke operacije po tome što za rezultat daje logičku 0 kada obje logičke promjenljive imaju vrijednost logičko 1. Za logičku operaciju “ISKLUČIVO-ILI” najčešće se koristi simbol “ \oplus ”. Na Slici 6. prikazani su tabela istine logičke operacije “ISKLUČIVO-ILI” i

grafički simbol logičkog kruga “ISKLJUČIVO-ILI”.



Slika 6.

Logička operacija “ISKLJUČIVO-NILI” (engl. EX-NOR) daje kao rezultat vrijednost logičko 1 ako i samo ako su obje logičke promjenjive identične. Logička operacija “ISKLJUČIVO-NILI” je komplementarna operacija logičkoj operaciji “ISKLJUČIVO-ILI”. Na Slici 7. Prikazani su tabela istine logičke operacije “ISKLJUČIVO-NILI” i grafički simbol logičkog kruga “ISKLJUČIVO-NILI”.



Slika 7.

Treba napomenuti da se u Bulovoj algebri definiše tzv. potpuni skup logičkih operacija. To je skup osnovnih logičkih operacija pomoću kojeg se može iskazati bilo koja logička funkcija. Može se pokazati da takav skup čine operacije “I” i “NE”, odnosno “ILI” i “NE”. Prema tome, logičke operacije “NI” i “NILI”, koje nastaju kombinovanjem navedenih potpunih skupova, također predstavljaju potpuni skup logičkih operacija. To znači da se korištenjem samo logičke operacije “NI” ili samo logičke operacije “NILI” može prikazati proizvoljna logička funkcija.

PREDSTAVLJANJE LOGIČKIH FUNKCIJA

Logičke funkcije pokazuju povezanost pojedinih nezavisno promjenjivih logičkih veličina iz skupa logičkih promjenjivih.

Logička funkcija se može definisati nad skupom nezavisno promjenjivih logičkih veličina ili logičkih promjenjivih. Skup logičkih promjenjivih predstavlja domenu logičke funkcije. Logička funkcija vrši preslikavanje u skup vrijednosti, koji predstavlja kodomenu logičke funkcije.

Uopšte rečeno, nad skupom od n logičkih elemenata (promjenjivih) može se definisati 2^n logičkih funkcija. Na primjer, ako skup logičkih promjenjivih sadrži $n = 2$ elementa, nad takvim skupom se može definisati ukupno 16 različitih logičkih funkcija.

Logičke funkcije mogu se prikazivati na nekoliko načina. Prvi način je već predstavljen u prethodnom tekstu, i on podrazumjeva korištenje tabela istine (ponegdje “kombinaciona tablica”). Ukoliko se broj logičkih promjenjivih označi sa n , tada tabela istine ima $n+1$ stubac i 2^n redova. Prikazivanje logičkih funkcija pomoću tabela istine postaje nezgrapno kada je u pitanju logička funkcija sa više logičkih promjenjivih.

Način prikazivanja logičkih funkcija koji se više koristi je algebarsko prikazivanje. Logička funkcija se prikazuje u vidu izraza koga sačinjavaju simboli logičkih promjenjivih povezani simbolima “I” (“•”) i “ILI” (“+”) logičkih operacija. U algebarskim izrazima se također koristi i simbol za negaciju (“-”).

Još jedan način prikazivanja logičkih funkcija, koji se dosta često koristi, je pomoću Karnoovih tabela ili Karnoovih mapa (Karnaugh). Za skup od n logičkih promjenjivih Karnoova tabela se sastoji od 2^n polja. Svakom polju odgovara jedan potpuni proizvod logičkih promjenjivih. U svakom polju Karnoove tabele može se nalaziti vrijednost logičko 1 ili logičko 0, i ta vrijednost predstavlja vrijednost predstavljene logičke funkcije, dok se vrijednosti logičkih promjenjivih za određeno polje podrazumjevaju. Na Slici 8. prikazan je izgled Karnoove tabele za logičku funkciju od četiri logičke promjenjive: A, B, C i D. Polja

ispod oznake promjenljive označavaju afirmaciju te promjenljive, a ostala polja negaciju te promjenljive (npr. A, \bar{A}).

Predstavljanje logičkih funkcija Karnoovim tabelama koristi se često prilikom minimizacije logičkih funkcija. Minimizacija logičke funkcije može se izvršiti bilo po vrijednostima logičko 1, bilo po vrijednostima logičko 0. Ukoliko se minimizacija obavlja po vrijednostima logičko 1, tada se dobija algebarska predstava logičke funkcije u obliku zbira proizvoda. Ukoliko se minimizacija obavlja po vrijednostima logičko 0, tada se dobija algebarska predstava logičke funkcije u obliku proizvoda zbroja.

		B		\bar{B}		
		1	0	1	0	\bar{D}
A		0	0	0	1	D
	\bar{A}	0	0	0	1	D
		1	0	0	0	\bar{D}
		\bar{C}	C	\bar{C}	C	

Slika 8.

OSNOVNI LOGIČKI KRUGOVI

Logički (digitalni) krugovi su električni krugovi koji na svom izlazu mogu imati jedan od dva naponska nivoa, koji se prepoznaju kao stanje niskog napona i stanje visokog napona. Definisane logičke 0 i logičke 1 može se izvršiti u skladu sa pozitivnom ili negativnom logikom. Pozitivna logika podrazumjeva da stanju visokog napona na izlazu logičkog kruga odgovara logička 1. Negativna logika podrazumjeva suprotno od navedenog za pozitivnu logiku.

Treba podvući da je, sa matematske strane, osnova za opis rada osnovnih logičkih kola Bulova algebra.

Svaku osnovnu logičku funkciju obavlja po jedan osnovni logički krug. Tako "I" logičku funkciju obavlja "I" logički krug, "ILI" logičku funkciju obavlja "ILI" logički krug i "NE" logičku funkciju obavlja "NE"

logički krug (inverzor). Grafički simboli osnovnih logičkih krugova prikazani su na Slici 1., Slici 2. i Slici 3.

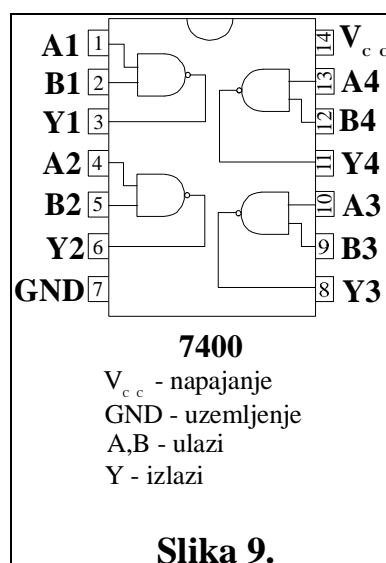
Također, izvedene logičke operacije "NI" i "NILI" obavljaju "NI" logički krug i "NILI" logički krug respektivno. Grafički simboli za "NI" i "NILI" logičke krugove predstavljeni su na slikama 4. i 5.

"NI" i "NILI" logički krugovi nazivaju se još i univerzalni logički krugovi, jer se korištenjem samo "NI" ili samo "NILI" logičkih krugova može realizirati bilo koji logički sklop, koji obavlja proizvoljnu logičku funkciju.

INTEGRIRANI KRUGOVI KOJI SADRŽE OSNOVNE LOGIČKE KRUGOVE

Na ovom mjestu biće prikazana struktura integriranih krugova koji sadrže osnovne logičke krugove. Treba napomenuti da sve slike integriranih krugova predstavljaju unutarnju logičku strukturu, gledano sa gornje strane integriranog kruga.

Na Slici 9. prikazana je struktura i raspored izvoda integriranog kruga 7400, koji se sastoji od četiri dvoulazna "NI" logička kruga.

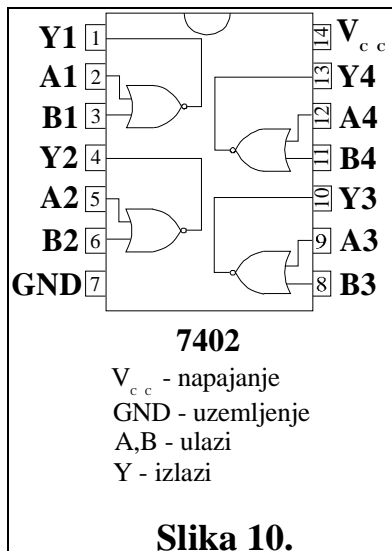


Slika 9.

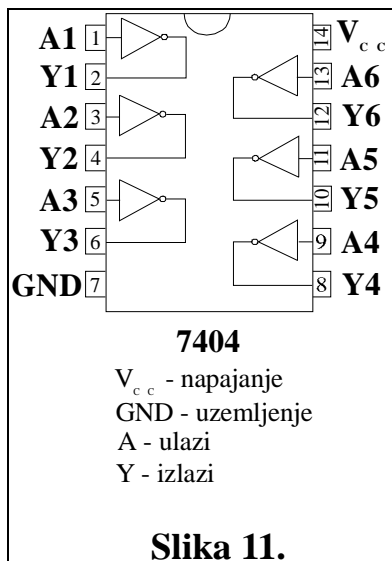
Na Slici 10. prikazana je struktura i raspored izvoda integriranog kruga 7402, koji

se sastoji od četiri dvoulazna “NLI” logička kruga.

Na Slici 11. prikazana je struktura i raspored izvoda integriranog kruga 7404, koji se sastoji od četiri “NE” logička kruga (invertora).



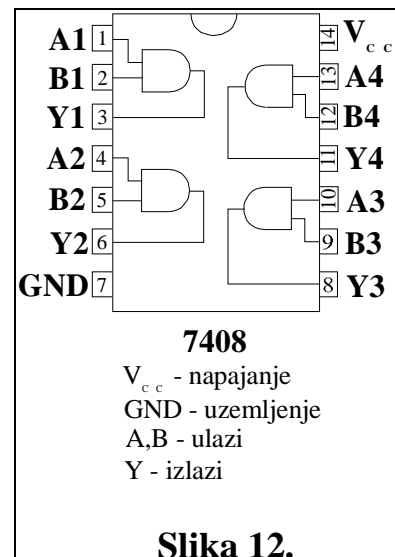
Slika 10.



Slika 11.

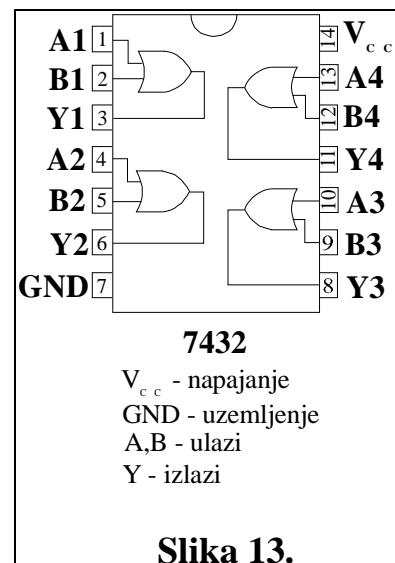
Na Slici 12. prikazana je struktura i raspored izvoda integriranog kruga 7408, koji se sastoji od četiri dvoulazna “T” logička kruga.

Na Slici 13. prikazana je struktura i raspored izvoda integriranog kruga 7432, koji se sastoji od četiri dvoulazna “ILI” logička kruga.



Slika 12.

Korištenjem kombinacija od pet navedenih integriranih krugova (7408 i 7404, 7432 i 7404, 7400 ili 7402) moguće je formirati logički sklop koji realizira bilo koju logičku funkciju.



Slika 13.

DTL I HLL LOGIČKI KRUGOVI

Prvi tip logičkih krugova, RTL (engl. Resistor - Transistor Logic), pojavio se 1961. godine. No, RTL logički krugovi imali su određene nedostatke. Ponajprije, sa porastom izlaznog opterećenja nivo logičke 1 je opadao, a disipacija sklopa je bila značajna. Ovo sve je uticalo na to da se RTL logički krugovi u monolitnoj integriranoj tehnologiji veoma brzo napuste.

Zamjena za RTL logičke krugove pronađena je u DTL krugovima (engl. Diode - Transistor Logic). Pored stabilnih logičkih nivoa, DTL krugovi imaju mogućnost praktično neograničenog proširenja broja ulaza, te mogućnost formiranja ožičenog spoja (engl. Wired OR). No, glavna negativna osobina DTL krugova je kašnjenje, koje je kod ovih logičkih krugova čak veće nego kod RTL krugova (poređenja radi, PDP = 300 pJ kod DTL krugova, u odnosu na PDP = 190 pJ kod RTL krugova). Također, za realizaciju DTL krugova na silicijumskoj pločici potrebna je relativno velika površina, što onemogućava postizanje većih gustina integracije. Ove negativne osobine uticale su da DTL krugovi budu zamjenjeni sa TTL krugovima, koji su brži i omogućavaju postizanje veće gustoće integracije.

Duži vremenski period u upotrebi su se zadržali HLL logički krugovi (engl. High - Level Logic). HLL krugovi su podvrsta DTL krugova, i glavna osobina im je da imaju veliku otpornost na šumove, tako da su pogodni za rad u sredinama sa jako izraženim električnim šumom. HLL krugovi su se zadržali u upotrebi sve do pojave CMOS logičkih krugova.

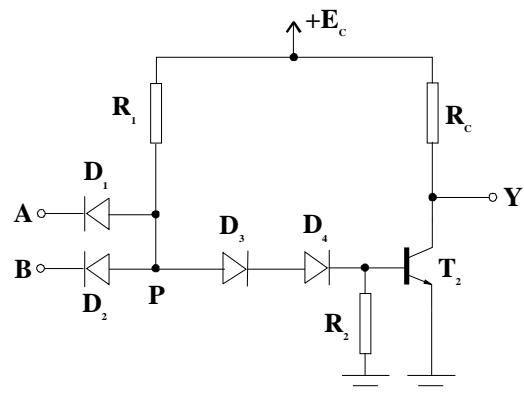
DTL LOGIČKI KRUGOVI

Prva verzija osnovnog DTL dvoulaznog "NI" logičkog kruga prikazana je na Slici 1. Riječ je o verziji koja je imala dvije diode D_3 i D_4 koje služe za naponski pomak.

Prema Slici 1., A i B predstavljaju ulaze, a Y izlaz iz "NI" logičkog kruga. Ukoliko je na oba ili barem na jednom od

ulaza logička 0, tada potencijal tačke P iznosi oko 1 V, a sigurno je manji od 1,5 V. Pretpostavimo li da je napon provođenja p-n prelaza $U_\gamma = 0,5$ V, tada je napon u tački P, potreban da tranzistor T_2 provede $3 V_\gamma \approx 1,5$ V. Prema tome, tranzistor T_2 je sigurno zakočen, i na izlazu logičkog kruga postoji napon približno E_C , što odgovara naponskom nivou logičke 1. Ukoliko je na oba ulaza logička 1, tada tačka P ima dovoljan potencijal da tranzistor T_2 provede. Kada je tranzistor T_2 u stanju vođenja, izlaz Y se nalazi na potencijalu od oko 0,2 V, što odgovara naponskom nivou logičke 0.

Otpor R_2 , koji je prikazan na Slici 1., i nije neophodan za normalno funkcionisanje DTL "NI" logičkog kruga. Otpor R_2 služi za odvođenje viška nosilaca iz baze tranzistora T_2 prilikom njegovog kočenja, te na taj način doprinosi povećanju brzine rada logičkog kruga.



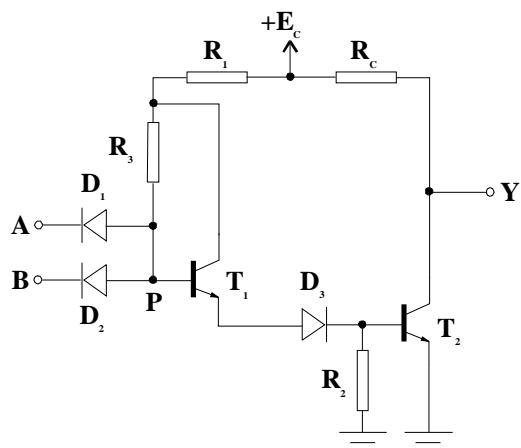
Slika 1.

Kasnijim modifikacijama, diode D_3 i D_4 su zamijenjene tranzistorima u diodnom spoju (kolektor vezan na bazu tranzistora) iz razloga jednostavnijeg integriranja (ne rade se posebno diode), te pojačanja bazne struje tranzistora T_2 .

Posljednja verzija modifikovanog DTL dvoulaznog "NI" logičkog kruga prikazana je na Slici 2. Dioda D_4 zamjenjena je sa tranzistorom T_1 , koji se nalazi u spoju emitorskog slijedila (engl. emitter follower). Ukoliko se na oba ili barem na jednom od ulaza A ili B nalazi logička 0, potencijal tačke

P je nedovoljan bi tranzistori T_1 i T_2 proveli, tako da su oba tranzistora zakočena. Ukoliko se na oba ulaza nalazi logičko 1, tada tranzistor T_1 vodi, nalazi se u aktivnom području, i obezbjeđuje dovoljnu baznu struju da tranzistor T_2 bude u zasićenju, čak i pri većem opterećenju izlaza logičkog kruga.

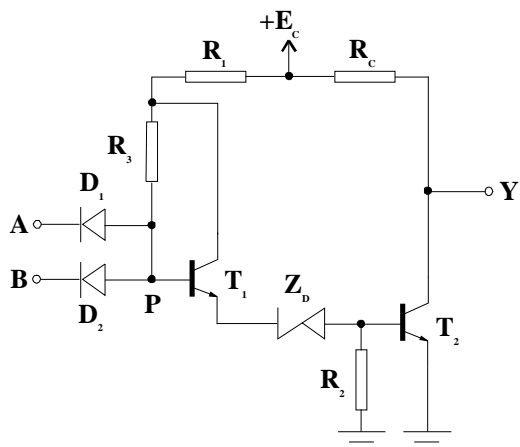
DTL krug napaja se istosmjernim naponom od $+5\text{ V}$. Amplituda izlaznog signala DTL logičkog "NI" kruga je dosta velika i iznosi oko $4,6\text{ V}$. DTL krugovi su projektovani sa mogućnošću opterećenja od 8 istih logičkih krugova po jednom izlazu, što znači da faktor opteretivosti (fan-out) iznosi 8. Nadalje, za DTL krugove, vrijeme uspostavljanja izlaznog signala iznosi oko 15 ns , a srednja disipacija snage jednog logičkog kruga iznosi $10 - 12\text{ mW}$. Sve navedene podatke treba uzeti okvirno, kao opšte pokazatelje osnovnih karakteristika DTL krugova.



Slika 2.

HLL LOGIČKI KRUGOVI

HLL logički krugovi (engl. High - Level Logic), ponegdje u literaturi se označavaju i kao HTL (engl. High Threshold Logic). Obzirom da je glavna osobina ovoga tipa logičkih krugova visoka otpornost na električne šumove, koriste se u sredinama sa jako izraženim električnim šumom. HLL krugovi predstavljaju modifikaciju DTL krugova. Struktura HLL dvoulaznog "NI" logičkog kruga prikazana je na Slici 3.



Slika 3.

Dioda za naponski pomak D_4 u DTL krugu sa Slike 2., zamijenjena je sa Zenerovom diodom Z_D probojnog napona $6,9\text{ V}$. Također, napon napajanja je povećan na $+15\text{ V}$.

U osnovi, nema razlike u načinu funkcionisanja HLL krugova u odnosu na DTL krugove. U slučaju kada je na oba ili na barem jednom ulazu logičko 0, ponašanje HLL kruga je identično ponašanju DTL kruga. Jedina razlika je što je kod HLL kruga u ovome slučaju nivo logičke 1 na izlazu povećan na približno $+15\text{ V}$, što je posljedica povećanog napona napajanja E_C . U slučaju kada je na oba ulaza HLL kruga logičko 1, da bi tranzistori T_1 i T_2 počeli da vode, potencijal tačke P mora biti veći od približno $7,9\text{ V}$. U ovome slučaju, tranzistor T_1 nalazi u aktivnom području, a tranzistor T_2 u zasićenju, te je na izlazu HLL kruga naponski nivo od približno $0,2\text{ V}$, što je naponski nivo logičke 0.

Povećanje napona napajanja utiče na to da su nivoi logičke 0 i logičke 1 na izlazu iz HLL kruga povećani, a time i logička amplituda izlaznog signala na približno $14,8\text{ V}$. U odnosu na DTL krug, HLL krug ima značajno veće margine šuma i za logičku 0 (MS0) i za logičku 1 (MS1). Vrijeme uspostavljanja iznosi oko 340 ns , a srednja disipacija snage jednog logičkog kruga iznosi oko 40 mW . Svi navedeni podaci su orijentacioni, i treba ih uzeti sa određenom rezervom.

Uporede li se osnovne karakteristike DTL i HLL krugova, vidi se da HLL krugovi imaju izrazito nepovoljne karakteristike u pogledu potrošnje i brzine rada. Praktično jedina pozitivna karakteristika HLL krugova je povećana otpornost na električne šumove, što je u najvećoj mjeri određivalo njihovo područje upotrebe. HLL krugovi su izgubili značaj sa pojavom CMOS logičkih krugova, koji su jednako otporni na električne šumove, a imaju neuporedivo manju potrošnju i veću brzinu rada.

TTL LOGIČKI KRUGOVI

TTL krugovi (engl. Transistor – Transistor Logic) nastali su kao rezultat nastojanja da se poboljšaju osobine DTL krugova. U odnosu na DTL krugove, TTL krugovi imaju veću brzinu rada, veću gustoću integracije i manju potrošnju.

Danas je najviše korištena serija 54/74 TTL krugova. Pored standardnih TTL krugova serije 54/74, razvijeno je niz familija TTL krugova sa poboljšanim osobinama, kakve su familije sa oznakama 74L, 74H, 74F, 74S, 74LS, 74AS, 74ALS. Svaka od navedenih familija, u odnosu na standardne TTL krugove, ima poboljšane karakteristike, prije svega u pogledu potrošnje i brzine rada.

Kod TTL krugova se javlja poseban problem kakav nije postojao kod DTL krugova, a to je problem vezivanja izlaza više TTL krugova na zajedničku liniju. U slučaju kada je na izlazu jednog TTL kruga logička 1, a na izlazu drugog TTL kruga logička 0, dolazi do konfliktne situacije, te je izlazno stanje neodređeno. Također, kao posljedica takvog stanja može se javiti veća potrošnja. Ovaj problem se rješava bilo upotrebom TTL krugova sa otvorenim kolektorom, bilo upotrebom TSL krugova (engl. Three State Logic).

TSL krugovi predstavljaju modifikaciju TTL krugova, pri čemu je standardnoj TTL strukturi pridodat i tzv. onemogućavajući (engl. Disable) ulaz. Kada se na onemogućavajućem ulazu nalazi logička 0 TSL krug radi na identičan način kao i

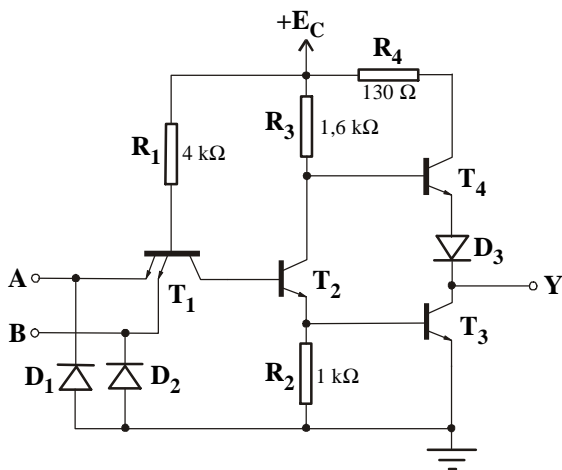
standardni TTL krug. No, kada se na onemogućavajućem ulazu TSL kruga nalazi logička 1, tada je na njegovom izlazu stanje visoke impedance (označeno sa Z), bez obzira na stanje ostalih ulaza TSL kruga.

STANDARDNI TTL KRUGOVI

Danas se najčešće susreću TTL krugovi serije 54/74. U seriji 54/74 postoji preko 500 različitih TTL krugova. Oznake 54 i 74 označavaju u kojem je temperaturnom opsegu predviđeno da krug radi. Oznaka 54 označava temperaturni opseg $-55 \div +125$ °C, a oznaka 74 označava temperaturni opseg $0 \div 70$ °C. TTL krugovi serije 54/74 pakuju se u plastična ili keramička DIL kućišta, sa 14 ili 20 izvoda.

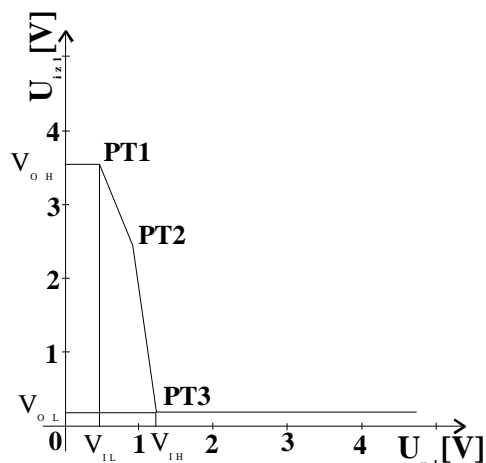
Na Slici 1. prikazana je struktura dvoulaznog TTL “NI” logičkog kruga serije 54/74.

Ulazi TTL kruga sa Slike 1. predstavljaju emitere multiemiterskog tranzistora T_1 . Uvođenjem multiemiterskog tranzistora umjesto dva ili više ulaznih tranzistora postignuta su dva efekta: smanjena je potrebna površina za realizaciju ulaznog dijela TTL kruga, te je smanjeno vrijeme kašnjenja signala kod TTL kruga. Također, izlazni stepen TTL kruga se bitno razlikuje u odnosu na DTL krug. Tranzistor T_4 služi za smanjenje izlazne otpornosti kada je na izlazu logička 1. Dioda D_3 je neophodna radi pravilnog rada tranzistora T_4 . Otpornik R_4 služi za ograničenje strujnog impulsa koji se javlja pri prelasku izlaza iz stanja logičko 0 u stanje logičko 1, jer se može desiti da tranzistori T_3 i T_4 istovremeno vode. Također, otpornik R_4 ograničava struju u slučaju da se izlaz TTL kruga u stanju logičko 1 greškom kratko spoji na masu.



Slika 1.

Tipična prenosna karakteristika standardnog TTL kruga ima tri prelomne tačke. Izgled tipične prenosne karakteristike TTL dvoulaznog “NI” logičkog kruga prikazan je na Slici 2.



Slika 2.

Tipična vrijednost amplitude izlaznog signala standardnog TTL kruga iznosi 3,5 V, a tipične vrijednosti margina šuma iznose $MS0 = 1 \text{ V}$ i $MS1 = 2,1 \text{ V}$. Standardni TTL krugovi imaju tipičnu vrijednost faktora mogućnosti opterećenja izlaza (fan – out) $N = 10$.

TTL KRUGOVI SA POBOLJŠANIM KARAKTERISTIKAMA

TTL krugovi su predstavljali veliki pomak u tehnologiji integrisanih logičkih krugova. Pa ipak, vremenom se pojavila

potreba za njihovim modifikovanjem, prvenstveno u pogledu brzine rada i potrošnje. Kao rezultat takvih nastojanja, pojavilo se više familija TTL krugova, od kojih svaka ima svoje specifičnosti.

Serijske 74L i 74H predstavljaju prva poboljšanja standardnih TTL logičkih krugova. Krugovi serije 74L su prema strukturi isti kao i standardni TTL krugovi, osim što su vrijednosti otpornika veće. Na taj način je smanjena potrošnja, ali je smanjena i njihova brzina rada. Krugovi serije 74H su također prema strukturi isti kao i standardni TTL krugovi, osim što su vrijednosti otpornika manje. Na taj način je povećana potrošnja, ali je istovremeno povećana i brzina rada ovih TTL krugova.

Najznačajniji pomak u pogledu povećanja brzine rada i smanjenja potrošnje postignut je uvođenjem Schottky tranzistora. Schottky tranzistori su bipolarni tranzistori kod kojih je kolektorski spoj premošćen Schottky diodom. Na taj način je onemogućeno da Schottky tranzistor radi u zasićenju, a čime je povećana brzina kočenja tranzistora, a samim tim i brzina rada cijelog logičkog kruga.

Familije koje su realizirane korištenjem Schottky tranzistora su 74S, 74F, 74LS, 74AS i 74ALS. Na Slici 3. prikazana je struktura TTL dvoulaznog “NI” logičkog kruga familije 74LS.

TTL krugovi iz familije 74S imaju potrošnju oko 20 mW i kašnjenje oko 3 ns, tako da vrijednost koeficijenta proizvoda snage i vremena kašnjenja (PDP) iznosi oko 60 pJ.

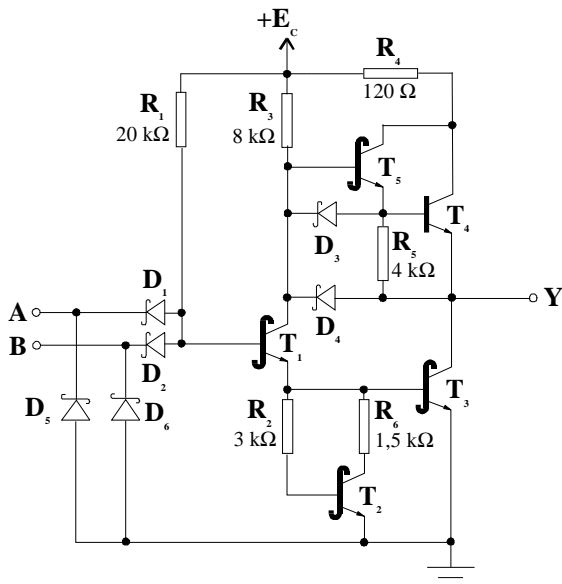
Familija 74F predstavlja usavršavanje familije 74S u pogledu povećanja brzine rada i smanjenja disipacije. Kod ovih krugova ostvareno je kašnjenje od oko 2,5 ns i potrošnja oko 4 mW, pa je vrijednost koeficijenta proizvoda snage i vremena kašnjenja (PDP) 10 pJ.

TTL krugovi iz familije 74LS imaju potrošnju od svega 2 mW i kašnjenje oko 10

ns, tako da vrijednost koeficijenta proizvoda snage i vremena kašnjenja (PDP) oko 20 pJ.

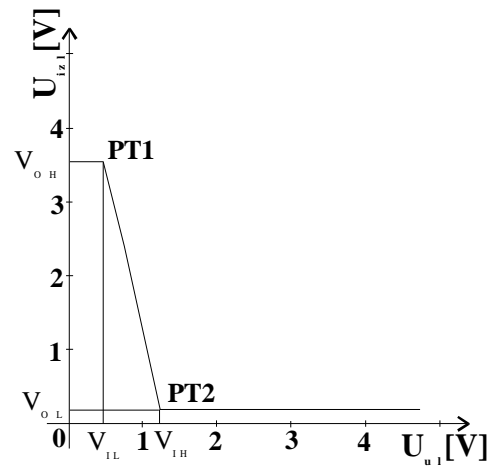
Kod TTL krugova iz familije 74AS ostvarena je potrošnje oko 20 mW i kašnjenje od oko 1,5 ns, tako da koeficijent proizvoda snage i vremena kašnjenja (PDP) iznosi oko 30 pJ.

Familija TTL krugova 74ALS razvijana je paralelno familiji 74AS. Kod TTL krugova familije 74ALS ostvareno je kašnjenje od oko 4 ns i potrošnja od samo 1 mW. Koeficijent proizvoda snage i vremena kašnjenja (PDP) iznosi oko 4 pJ.



Slika 3.

Na prenosnoj karakteristici TTL krugova realiziranih na bazi Schottky tranzistora izbjegnuta je prelomna tačka PT2. Izgled tipične prenosne karakteristike TTL krugova iz ovih familija prikazan je na Slici 4.



Slika 4.

U Tabeli 1. i Tabeli 2. dat je uporedni pregled glavnih statičkih i dinamičkih karakteristika različitih familija TTL krugova.

TABELA 1.

	Stand ard.	74L	74H	74F
Napajanje [V]	5 ± 5%	5 ± 5%	5 ± 5%	5 ± 5%
Vrij.uspost av. [ns]	9	15	5	
Vrij. kašnjenja [ns]	10	33	6	2,5
Potrošnja [mW]	10	1	22	36
PDP [pJ]	100	33	132	10
Mogućnost opter.	10	10	20	36

TABELA 2.

	74S	74LS	74A S	74AL S
Napajanje [V]	5 ± 5%	5 ± 5%	5 ± 10%	5 ± 10%
Vrij.uspost av. [ns]				
Vrij. kašnjenja [ns]	3	2	1,5	4
Potrošnja [mW]	20	10	20	1
PDP [pJ]	60	20	30	4
Mogućnost opter.	10	20	40	80

PRAKTIČNI ASPEKTI UPOTREBE TTL KRUGOVA

TTL krugovi se napajaju iz izvora istosmjerne struje, napona +5 V, sa najvećim dozvoljenim odstupanjem od $\pm 5\%$. TTL krugovi familija 74AS i 74ALS dozvoljavaju veća odstupanja, najviše do $\pm 10\%$.

Pobudni signal TTL kruga treba imati što je moguće kraću ulaznu i silaznu ivicu. Za izlaznu impedancu pobudnog sistema od $100\ \Omega$, trajanje ivica pobudnog signala treba biti reda $1\ \mu\text{s}$. Širina pobudnog signala treba biti veća od $30\ \text{ns}$.

Posebnu pažnju treba obratiti na pitanje mogućnosti zamjene i opterećenja TTL krugova. Sve familije serije 54/74 su kompatibilne u smislu naponskih nivoa ulaznih i izlaznih signala, što znači da se mogu međusobno povezivati bez dodatnih krugova za prilagođenje. Isto tako, logički krugovi jednake funkcionalnosti koji pripadaju različitim familijama, mogu se međusobno zamjenjivati. Pri mješanju TTL krugova različitih familija treba voditi računa o mogućnosti opterećenja (fan-out) za određenu familiju. U Tabeli 3. dat je pregled mogućnosti opterećenja pojedinih familija TTL logičkih krugova.

TABELA 3.

Izlaz sa	Mogući broj ulaza familije				
	74	74L	74H	74S	74LS
74	10	40	6	6	20
74L	2	10	1	1	5
74H	12	40	10	10	40
74S	12	40	10	10	40
74LS	5	20	4	4	10

Najveća dozvoljena dužina vodova između standardnih TTL krugova, kada nije potrebno prilagođenje impedance iznosi $45\ \text{cm}$. Za Schottky TTL krugove ona je manja i iznosi $20\ \text{cm}$. Za dužine veće od $50\ \text{cm}$ treba koristiti koaksijalne kablove impedance oko $100\ \Omega$.

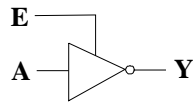
Neiskorišćeni ulazi TTL krugova se nikada ne ostavljaju slobodni. Neiskorišćeni ulazi "I" i "NI" krugova vežu se na napon napajanja $+E_C$. Ukoliko postoji mogućnost da napon napajanja premaši vrijednost od $+5,5\ \text{V}$, tada se neiskorišćeni ulazi vežu na napon napajanja preko otpornika od $1\ \text{k}\Omega$. Preko jednog otpornika može se vezati do 50 ulaza. Neiskorišćeni ulazi "I" i "NI" TTL krugova mogu se vezati i paralelno već iskorištenim ulazima, vodeći računa o mogućnosti opterećenja prethodnog kruga. Neiskorišćeni ulazi "NILI" TTL krugova vežu se na masu, ili paralelno već iskorištenim ulazima, vodeći računa o mogućnosti opterećenja prethodnog logičkog kruga. Ulazi logičkih krugova koji su potpuno neiskorišćeni, vežu se na masu radi smanjenja potrošnje.

TSL LOGIČKI KRUGOVI

Osnovna osobina logičkih krugova sa tri stanja (TSL) jeste da imaju tzv. onemogućavajući ulaz (engl. Disable). Zavisno od stanja na onemogućavajućem ulazu, TSL krug radi kao standardni TTL krug, ili se nalazi u stanju visoke impedance (označenom sa Z). Kada se krug nalazi u stanju visoke impedance, tada njegov izlaz predstavlja samo visokoomsku impedancu, i ne opterećuje liniju na koju je vezan. Ova osobina čini TSL krugove veoma pogodnim za ostvarivanje veze više TSL krugova preko zajedničke linije.

Na Slici 5. prikazan je grafički simbol i tabela istine TSL invertora. Ulaz označen sa E predstavlja tzv. omogućavajući ulaz (engl. Enable). Logika funkcionisanja TSL kruga sa omogućavajućim ulazom je obrnuta u odnosu na do sada objašnjeno. Iz tabele istine se vidi da će, ukoliko je na omogućavajućem ulazu logička 1, TSL krug raditi kao standardni TTL krug, a ukoliko je na omogućavajućem ulazu logička 0, TSL krug će biti u stanju visoke impedance (Z).

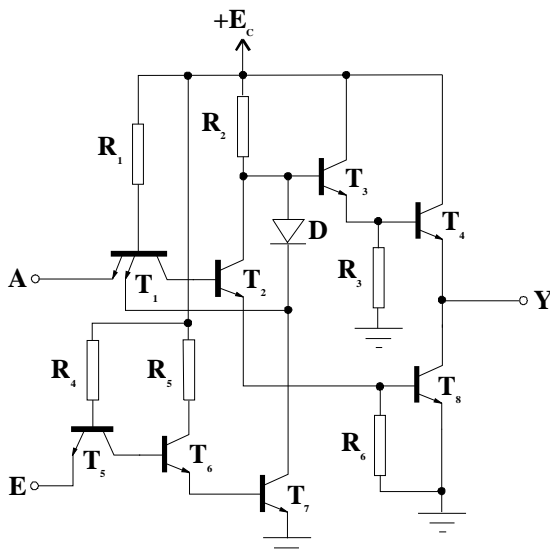
A	E	Y
0	0	Z
0	1	1
1	0	Z
1	1	0



Slika 5.

Na Slici 6. prikazana je elektronička struktura TSL invertora. Omogućavajući ulaz označen je sa E.

Treba napomenuti da se broj TSL krugova, koje je moguće povezati na zajedničku prenosnu liniju, smanjuje sa povećanjem radne temperature. Pri normalnim uslovima okoline, moguće je povezati do 128 TSL krugova na zajedničku liniju. Ovaj broj se smanjuje sa povećanjem okolne temperature.



Slika 6.

LOGIČKI KRUGOVI NA BAZI UNIPOLARNIH TRANZISTORA

Posljednje generacije logičkih krugova sve više se izrađuju na bazi MOS (engl. Metal Oxide Semiconductor) tranzistora. MOS tranzistori se često nazivaju i *unipolarni* tranzistori, da bi se naglasila razlika u odnosu na bipolarne tranzistore. Osnovna razlika između bipolarnih i unipolarnih tranzistora jeste u tome što kod unipolarnih tranzistora u provođenju elektriciteta učestvuju nosioci samo jedne vrste.

Razvoj MOS tranzistora je naročito intenzivan u posljednjih 15 godina. MOS tranzistori mogu biti sa ugrađenim kanalom ili sa indukovanim kanalom. Razlikujemo p-kanalne MOS tranzistore (PMOS), n-kanalne MOS tranzistore (NMOS), te strukturu koja sadrži komplementarne PMOS i NMOS tranzistore, a označava se sa CMOS (engl. Complementary MOS).

Prednosti unipolarnih (MOS) tranzistora u odnosu na bipolarne tranzistore su višestruke. MOS tranzistor je manjih dimenzija u odnosu na bipolarni tranzistor, a tehnološki postupak njegove izrade je jednostavniji, što rezultira nižom cijenom i manjim brojem defektnih tranzistora. Iz razloga što su MOS tranzistori manjih dimenzija u odnosu na bipolarne tranzistore, korištenjem MOS tehnologije moguće je postići veću gustoću integracije. Pored toga, CMOS tehnologija ima izuzetno malu potrošnju te brzinu rada uporedivu sa brzinom rada nekih familija logičkih krugova izrađenih na bazi bipolarne tehnologije. Od logičkih krugova na bazi bipolarne tehnologije, jedino ECL krugovi (engl. Emitter Coupled Logic) imaju brzine rada izrazito veće od brzina rada CMOS logičkih krugova. Tendencija razvoja CMOS logičkih krugova jeste da njihova brzina rada premaši brzinu rada logičkih krugova na bazi bipolarne tehnologije, u prvom redu TTL krugova.

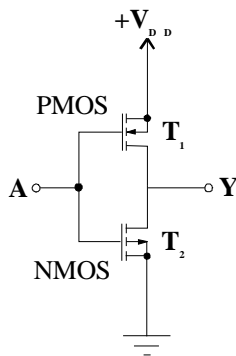
Logički krugovi izrađeni u MOS tehnologiji, a posebno familije NMOS i CMOS logičkih krugova, dominiraju u digitalnoj elektronici, a posebno u integriranim krugovima visokog i veoma visokog stepena integracije (LSI i VLSI). Treba navesti da se CMOS integrirani logički krugovi izrađuju u svim stepenima integracije, tako da CMOS logički krugovi sve više potiskuju TTL krugove, posebno na polju integriranih krugova niskog stepena integracije (SSI).

U ovom tekstu, posebna pažnja biće posvećena osnovnim CMOS logičkim krugovima, te familijama CMOS logičkih krugova sa poboljšanim karakteristikama.

CMOS LOGIČKI KRUGOVI

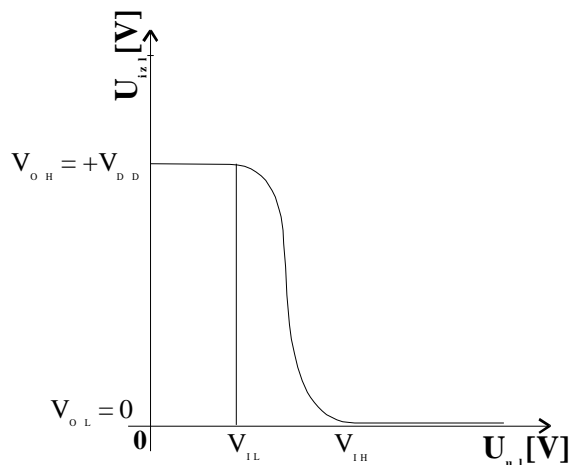
CMOS logički krugovi realizirani su na bazi CMOS (engl. Complementary Metal – Oxide Semiconductor) tranzistora. Integrirani krugovi na bazi CMOS tehnologije izrađuju se u svim stepenima integracije, od niskog (SSI) do veoma visokog (VLSI) stepena integracije. U CMOS tehnologiji rade se sve vrste logičkih krugova, od najjednostavnijih invertora, pa do složenih memorijskih krugova i mikroprocesora.

Na Slici 1. prikazana je struktura CMOS invertora. CMOS invertor se sastoji od dva MOS tranzistora, od kojih je jedan n – kanalni (NMOS), a drugi p – kanalni (PMOS).



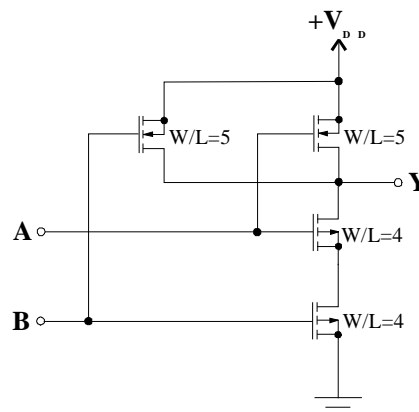
Slika 1.

Izgled tipične prenosne karakteristike CMOS invertora prikazan je na Slici 2. Specifično za prenosnu karakteristiku CMOS logičkih krugova jeste da je tipična vrijednost nivoa logičke 1 približno jednaka naponu napajanja $+V_{DD}$, a tipična vrijednost nivoa logičke 0 približno jednaka naponu 0 V. Također, dio prenosne karakteristike na prelazu sa nivoa logičke 1 na nivo logičke 0 ima veliku strminu.

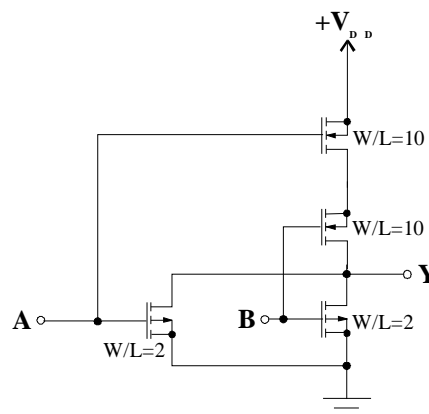


Slika 2.

Drugi CMOS logički krugovi dobijaju se proširivanjem CMOS invertorskog kruga. Na Slici 3. prikazana je struktura CMOS dvoulaznog “NI” logičkog kruga, a na Slici 4. prikazana je struktura CMOS dvoulaznog “NILI” logičkog kruga.



Slika 3.



Slika 4.

Prva praktična realizacija logičkih krugova na bazi CMOS tehnologije ostvarena je u periodu 1965. – 1970.godine, kada je

nastala serija 4000. Međutim, serija 4000 je imala značajne nedostatke, prvenstveno malu brzinu rada, relativno veliko vrijeme kašnjenja, nedovoljan izlazni faktor opteretivosti, te nekompatibilnost sa TTL krugovima. Nedostaci prve serije CMOS logičkih krugova uzrokovali su rad na njihovom usavršavanju, sa ciljem da se isprave uočeni nedostaci.

CMOS LOGIČKI KRUGOVI SA POBOLJŠANIM KARAKTERISTIKAMA

Nakon prve serije CMOS logičkih krugova, razvojem su dobivene nove familije sa bitno poboljšanim karakteristikama. Najprije je razvijena modificirana serija 4000 sa oznakom 4000B, a zatim i familije u okviru serije 54/74, i to 74C, 74HC/HCT i 74AC/ACT. Treba napomenuti da su razlike između familija 4000B i 74C veoma male, što dozvoljava da nadalje bude razmatrana samo serija 74C.

Kod logičkih krugova familije 74C smanjene su dimenzije tranzistora, smanjeni su parazitni kapaciteti, te ostvarena veća brzina rada logičkih krugova. Napajanje logičkih krugova familije 74C iznosi $3 \div 20$ V. Također, ostvarena je djelimična kompatibilnost logičkih krugova familije 74C sa TTL krugovima, jer je na izlaz logičkog kruga familije 74C dozvoljeno vezati jedan ulaz logičkog kruga familije 74LS. Brzina rada logičkih krugova familije 74C je znatno veća od brzine rada logičkih krugova serije 4000, i iznosi $20 \div 100$ ns, pri dozvoljenom kapacitivnom opterećenju od 50 pF.

Sa pojavom familije 74HC/HCT ostvarena su dalja tehnološka poboljšanja. Kod ove familije ostvarene su minimalne dimenzije elemenata od $3 \mu\text{m}$ i debljina oksida od 60 nm. Električne sheme logičkih krugova familije 74HC praktično su identične shemama logičkih krugova familije 74C. Dozvoljeni opseg napona napajanja smanjen je na $3 \div 6$ V. Vrijeme kašnjenja je smanjeno na 10 ns, pri kapacitivnom opterećenju od 50 pF. Također, povećan je izlazni faktor opteretivosti, tako da je dozvoljeno vezati do 10 ulaza TTL krugova familije 74LS na jedan

izlaz familije 74HC. Međutim, problem kompatibilnosti je ostao. Naime, CMOS logički krug familije 74HC može pobuđivati TTL krugove iz familije 74LS, međutim obrnuto nije slučaj. Iz tog razloga, razvijena je familija 74HCT.

Logički krugovi iz familije 74HCT imaju modificiran ulazni stepen, tako da su u cjelosti kompatibilni sa TTL krugovima familije 74LS. Značajno je spomenuti da su i karakteristike CMOS logičkih krugova familije 74HCT veoma slične karakteristikama TTL krugova familije 74LS, s tim što su krugovi familije 74HCT u prednosti u pogledu manje potrošnje.

Dalja poboljšanja su istvorena familijom 74AC/ACT. Dimenzije elemenata su smanjene do $2 \mu\text{m}$, a debljina oksida na 40 nm. Izlazni strujni kapacitet je povećan do 24 mA, a kašnjenje je smanjeno na 5 ns. Razlike između familija 74AC i 74ACT su iste kao i razlike između familija 74HC i 74HCT. Familija 74ACT je potpuno kompatibilna sa TTL krugovima. Karakteristike familije 74AC/ACT su uporedive sa karakteristikama familije 74ALS, a zaostaju samo za TTL logičkim krugovima familije 74AS.

Dalji pravci razvoja CMOS integriranih krugova niskog stepena integracije (SSI) su smanjenje dimezija elemenata do $1,5 \mu\text{m}$ i debljine oksida do 30 nm, uz smanjenje kašnjenja na nivo od oko 3 ns. Treba navesti da savremeni CMOS krugovi veoma visokog stepena integracije (VLSI) imaju minimalne dimenzije elemenata od $0,15 \mu\text{m}$, i prosječno vrijeme kašnjenja ispod 0,5 ns.

Radi prevazilaženja problema vezivanja više izlaza CMOS logičkih krugova na zajedničku liniju razvijeni su CMOS logički krugovi sa tri stanja. Upravljački ulaz takvih logičkih krugova označen je sa E. Kada se na upravljačkom ulazu nalazi logička 0, logički krug se nalazi u stanju visoke impedance, bez obzira na stanje na ostalim ulazima logičkog kruga. U tom slučaju izlazna impedanca iznosi nekoliko hiljada $\text{M}\Omega$, te logički krug ne opterećuje zajedničku liniju. U slučaju kada je na ulazu E logička 1,

CMOS logički krug sa tri stanja se ponaša kao obični CMOS logički krug.

U Tabeli 1. dat je uporedni pregled osnovnih karakteristika CMOS logičkih krugova serije 74.

TABELA 1.

	74C	74H C	74H CT	74A C	74A CT
Napajanje [V]	3÷2 0	3÷6	3÷6	2÷6	2÷6
Vrij.uspost av. [ns]	50	10	10	6,0	5,5
Vrij. kašnjenja [ns]	50	10	10	4,5	4,0
Potrošnja [μW]	2,5	2,5	2,5	2,5	2,5
PDP [pJ]	0,0 8	0,0 2	0,02	0,0 1	0,01
Mogućnost opter.	>10 0	>10 0	>100	>10 0	>100

PRAKTIČNI ASPEKTI UPOTREBE CMOS LOGIČKIH KRUGOVA

Integrirani krugovi na bazi CMOS tehnologije su veoma osjetljivi na statički elektricitet. Statički elektricitet može izazvati proboj ulaza CMOS krugova. Iz tog razloga, posebnu pažnju treba posvetiti zaštiti CMOS integriranih krugova od statičkog elektriciteta. U tom smislu, treba se pridržavati slijedećih uputa:

1. CMOS krugove čuvati u kutijama, cijevima ili sunderastim tablama od provodnog materijala koji kratko spaja izvode integriranog kruga. Ne smiju se koristiti table od neprovodnog materijala;
2. CMOS krugove polagati isključivo na uzemljenu metalnu ploču;
3. Prije ugradnje CMOS krugova na štampanu pločicu, potrebno je ugraditi sve ostale elemente, čime se smanjuje mogućnost slučajnog oštećenja CMOS krugova;
4. Štampana pločica sa CMOS krugovima zahtjeva isti tretman kao i sami CMOS

krugovi. Štampanu pločicu treba dodirivati samo po ivicama;

5. Osoba koja rukuje CMOS krugovima ili štampanim pločicama sa CMOS krugovima treba imati metalnu narukvicu spojenu dužom žicom preko otpornosti od 1 MΩ sa uzemljenjem, da bi se obezbjedilo odvođenje statičkog elektriciteta sa te osobe;
6. Sa CMOS krugovima ili sa štampanim pločicama sa CMOS krugovima se ne smije manipulirati ukoliko je prisutan napon napajanja.

Napon napajanja CMOS logičkih krugova se kreće u rasponu 3 ÷ 20 V. Familije 74HC/HCT i 74AC/ACT imaju manji raspon napona napajanja 3 ÷ 6 V. Treba napomenuti da su CMOS integrirani krugovi veoma osjetljivi na inverzni napon napajanja. Inverzni napon napajanja veći od – 0,5 V može oštetiti CMOS krug. Filtriranje napona napajanja nije neophodno.

Ulazna i silazna ivica pobudnog signala CMOS kruga trebaju biti kraće od 5 μs.

Neiskorišteni ulazi CMOS “NI” logičkih krugova vežu se na napon napajanja + E_C, a neiskorišteni ulazi CMOS “NILI” logičkih krugova vežu se na uzemljenje. Također, neiskorišteni ulazi CMOS logičkih krugova mogu se vezati paralelno već iskorištenim ulazima.

Kapacitivno opterećenje CMOS logičkih krugova treba biti što je moguće manje. Povećavanjem kapacitivnog opterećenja smanjuje se brzina rada CMOS krugova, a povećava se disipacija. Kapacitivno opterećenje na izlazu veće od 5000 pF djeluje kao kratak spoj.

BISTABILNI KRUGOVI

U digitalnoj tehnici razlikuju se dvije vrste krugova: kombinatorni krugovi i sekvencijalni krugovi.

Kombinatorni krugovi su krugovi kod kojih stanje na izlazu zavisi samo od trenutne kombinacije na ulazima kruga. Primjer takvih krugova su logički krugovi, kakvi su do sada razmatrani.

Kod *sekvencijalnih* krugova stanje na izlazu zavisi od redoslijeda (sekvence) signala na ulazima kruga. Mada takvi krugovi mogu biti sa više stabilnih stanja, u digitalnoj elektronici se koriste sekvencijalni krugovi sa dva stabilna stanja, koji se nazivaju *bistabilni* krugovi.

Bistabilni krugovi ostaju u jednom od dva stabilna stanja sve do dovođenja odgovarajućeg pobudnog signala, koji to stanje promjeni u novo stabilno stanje. U principu, razlikuju se dvije vrste bistabilnih krugova, i to (engl.) *latch* krugovi i *flip-flop* krugovi. Izlaz latch krugova stalno prati promjenu stanja ulaza, sve do dovođenja odgovarajućeg pobudnog signala koji zamrzava stanje na izlazu. S druge strane, stanje izlaza flip-floпова se mijenja samo poslije dovođenja odgovarajuće ivice pobudnog signala i ostaje stabilno sve do dovođenja novog pobudnog signala.

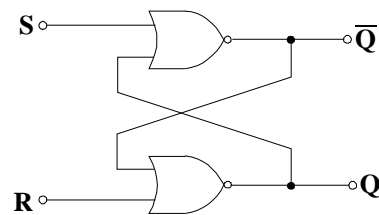
Posebna pažnja u daljem tekstu biće posvećena flip-floповima. flip-floповi su sekvencijalni digitalni krugovi koji se mogu nalaziti isključivo u jednom od dva stabilna stanja. Flip-floповi se pojedinačno upotrebljavaju za realizaciju različitih sekvencijalnih logičkih funkcija. Flip-flop ima osobinu da zadržava stanje i nakon nestanka pobudnog signala, što omogućava da se flip-floповi koriste kao osnovni elementi za realizaciju registara pomaka, brojača i digitalnih memorija.

Funkcionalnost flip-floпова se obično predstavlja pomoću tzv. tabela istine. Postoji više vrsta flip-floпова: RS flip-flop, T flip-flop, RST flip-flop, D flip-flop, JK flip-flop.

Također, pored navedenih osnovnih flip-floпова, postoje i njihove različite modifikacije, kao što su flip-floповi sa takt – ulazima, flip-floповi tipa master – slave, i dr.

RS FLIP-FLOP

Na Slici 1. Prikazana je struktura RS flip-floпа. RS flip-flop je realiziran pomoću dva “NILI” logička kruga. Umjesto “NILI” logičkih krugova mogu biti upotrijebljeni i “NI” logički krugovi.



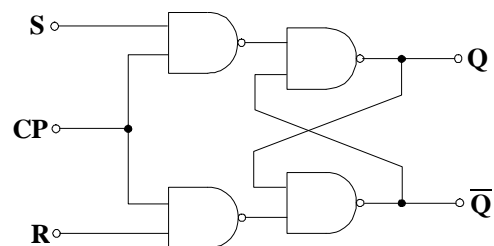
Slika 1.

Karakteristično za ovaj flip-flop jeste da kombinacija $S=1$ i $R=0$ daje izlaznu kombinaciju $Q=1$ i $\bar{Q}=0$, dok kombinacija $S=0$ i $R=1$ daje izlaznu kombinaciju $Q=0$ i $\bar{Q}=1$. Kombinacija $S=0$ i $R=0$ zadržava prethodno stanje na izlazu, dok kombinacija $S=1$ i $R=1$ predstavlja zabranjenu kombinaciju. Tabela 1. predstavlja tabelu istine RS flip-floпа.

TABELA 1.

S	R	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
0	1	0	1
1	0	1	0
1	1	ND	ND

Na Slici 2. prikazan je RS flip-flop sa takt ulazom označenim sa CP.



Slika 2.

Da bi flip-flop sa Slike 2. radio kao RS flip-flop, tada na takt – ulazu treba biti prisutan signal logičko 1. U slučaju kada je na takt – ulazu prisutan signal logičko 0, tada izlaz zadržava prethodno stanje bez obzira na stanje na ulazima R i S. Tabela 2. predstavlja tabelu istine RS flip-flopa sa takt –ulazom.

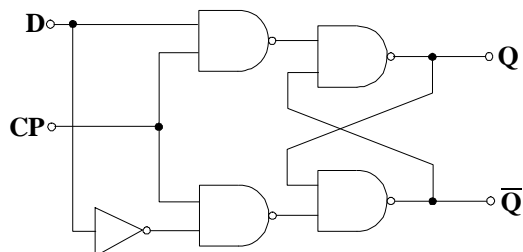
TABELA 2.

S	R	CP	Q_{n+1}	\bar{Q}_{n+1}
0	0	1	Q_n	\bar{Q}_n
0	1	1	0	1
1	0	1	1	0
1	1	1	ND	ND
x	x	0	Q_n	\bar{Q}_n

x – označava proizvoljnu vrijednost log. prom.

D FLIP-FLOP

Slika 3. prikazuje strukturu D flip-flopa. Kao što se vidi na Slici 3., osnovu strukture D flip-flopa čini struktura RS flip-flopa sa takt – ulazom CP. Razlika u odnosu na RS flip-flop jeste u tome da D flip-flop ima samo jedan ulaz, spojen sa ostatkom strukture direktni i preko invertora. Na taj način je onemogućeno dovođenje nedozvoljene kombinacije ulaza, jer se na ulazima “NI” logičkih krugova uvijek nalaze stanja D i \bar{D} . Ulaz C predstavlja takt – ulaz. Da bi D flip-flop ispravno funkcionisao, na takt – ulazu mora biti prisutan signal logičko 1. Ukoliko je na takt – ulazu prisutan signal logičko 0, tada se na izlazu D flip-flopa zadržava prethodno stanje.



Slika 3.

Treba napomenuti da se, radi unifikacije korištenih elemenata, inverter u strukturi sa Slike 3. može realizovati i

pomoću “NI” logičkog kruga. Tabela 3. predstavlja tabelu istine D flip-flopa.

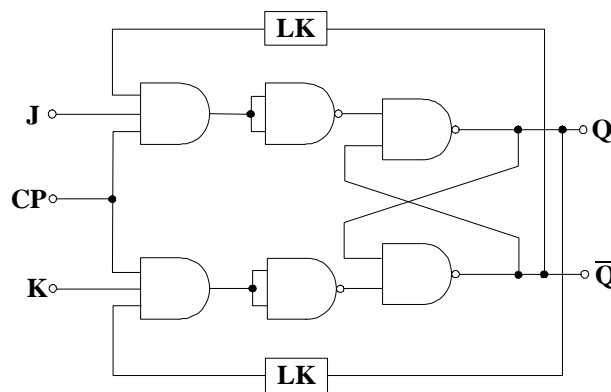
TABELA 3.

D	CP	Q_{n+1}	\bar{Q}_{n+1}
0	1	0	1
1	1	1	0
x	0	Q_n	\bar{Q}_n

x označava proizvoljnu vrijednost log.prom.

JK FLIP-FLOP

Izvedba JK flip-flopa u diskretnoj tehnici prikazana je na Slici 4. Kao što se može uočiti, JK flip-flop ima dva nezavisna ulaza J i K, i takt – ulaz označen sa CP. Osnovu strukture JK flip-flopa čini RS flip-flop. Ulazi JK flip-flopa dovedeni su preko “I” logičkih krugova, a cijeloj strukturi su dodana i dva kruga za kašnjenje preko kojih se dovode signali povratnih sprega sa izlaza JK flip-flopa. Ispravan rad JK flip-flopa zahtijeva prisustvo signala logičko 1 na takt – ulazu.



Slika 4.

Tabela 4. predstavlja tabelu istine JK flip-flopa.

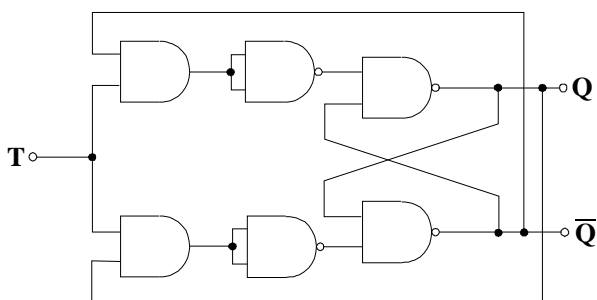
TABELA 4.

J	K	CP	Q_{n+1}	\bar{Q}_{n+1}
0	0	1	Q_n	\bar{Q}_n
0	1	1	0	1
1	0	1	1	0
1	1	1	\bar{Q}_n	Q_n
x	x	0	Q_n	\bar{Q}_n

x označava proizvoljnu vrijednost logičke prom.

T FLIP-FLOP

T flip-flop ima samo jedan ulaz pomoću koga se vrši simetrično okidanje (trigerovanje). Iz tog razloga, T flip-flop se često naziva trigerski flip-flop. Na Slici 5. prikazana je realizacija T flip-flopa pomoću diskretnih logičkih elemenata, korištenjem "T" i "NI" logičkih krugova.



Slika 5.

Tabela 5. predstavlja tabelu istine T flip-flopa. Iz Tabele 5. se vidi da logičko 0 na ulazu zadržava prethodno stanje, a logičko 1 na ulazu mijenja prethodno stanje izlaza T flip-flopa.

TABELA 5.

T	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

RST FLIP-FLOP

RST flip-flop je bistabilni krug sa tri ulaza: R, S i T. RST flip-flop predstavlja kombinaciju karakteristika RS flip-flopa i T flip-flopa. Tabela 6. predstavlja tabelu istine RST flip-flopa. Treba napomenuti da Tabela 6. opisuje rad RST flip-flopa za slučajeve kada se mijenja samo jedan od ulaza R, S ili T, što je ekvivalentno uslovu:

$$R \cdot S = R \cdot T = S \cdot T = 0.$$

TABELA 6.

R	S	T	Q_{n+1}	\bar{Q}_{n+1}
0	0	0	Q_n	\bar{Q}_n
0	1	0	1	0
1	0	0	0	1
0	0	1	\bar{Q}_n	Q_n

BISTABILNI KRUGOVI U INTEGRIRANOJ TEHNICI

Realizacija savremenih integriranih flip-flopa najčešće se ostvaruje na bazi TTL, ECL, NMOS i CMOS logičkih krugova.

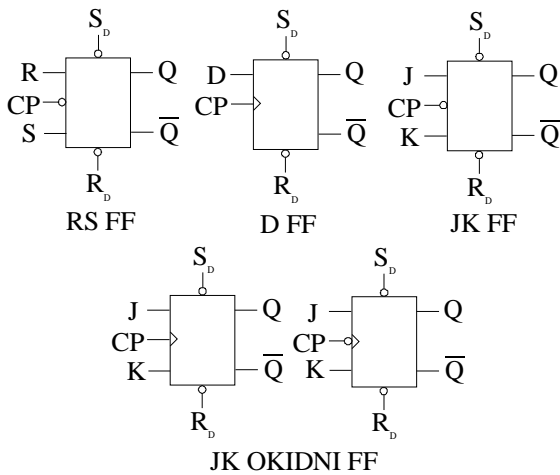
Korištenjem TTL krugova, flip-flopi se realiziraju na bazi "NI" ili "NILI" logičkih krugova.

Od ECL krugova, "ILI" i "NILI" logički krugovi su najjednostavniji i imaju najmanje kašnjenje. Korištenjem ECL krugova flip-flopi se obično realiziraju na bazi "NILI" logičkih krugova. Glavna karakteristika flip-flopa izrađenih na bazi ECL krugova je velika brzina rada, tako da frekvencija može iznositi i do 600 MHz.

Korištenjem NMOS krugova flip-flopi se također uglavnom realiziraju na bazi "NILI" logičkih krugova. NMOS flip-flopi se obično rade samo kao dijelovi složenijih integriranih krugova, a ne kao zasebni integrirani krugovi niskog stepena integracije (SSI).

Za razliku od NMOS-a, CMOS flip-flopi se izrađuju i kao zasebni integrirani krugovi niskog stepena integracije (SSI). Osnova za realizaciju CMOS flip-flopa je "NILI" logički krug.

Na Slici 6. prikazani su najčešće korišteni grafički simboli za sve navedene vrste flip-flopa.



Slika 6.

Kod integriranih flip-flopa razlikujemo sinhronu i asinhronu ulazu. Sinhroni ulazi funkcionišu pri pojavi takt-impulsa, što znači da se promjena stanja flip-flopa vrši u zavisnosti od stanja na sinhronim ulazima sa nailaskom odgovarajućeg takt-impulsa. S druge strane, asinhroni ulazi mijenjaju stanje flip-flopa bez obzira na stanje ostalih ulaza. Integrirani flip-flop ne mora imati oba asinhrona ulaza, ili ne mora nikako imati asinhronu ulazu. Na grafičkom simbolu flip-flopa sinhroni ulazi se prikazuju sa lijeve strane, a asinhroni sa gornje i donje strane. Na desnoj strani grafičkog simbola flip-flopa prikazani su izlazi.

Treba podvući da je osnovna struktura flip-flopa proširena sa asinhronim ulazima \bar{S}_D i \bar{R}_D . Ovi ulazi djeluju nezavisno od ostatka strukture flip-flopa, te mogu poslužiti za ostvarenje nekih dodatnih funkcija standardnih flip-flopa.

Kružić na nekom od asinhronih ulaza označava da se asinhrona promjena stanja vrši dovođenjem signala niskog naponskog nivoa (logičko 0), uz pretpostavku da se koristi pozitivna logika. Ukoliko je kružić izostavljen, tada se asinhrona promjena stanja vrši dovođenjem signala visokog naponskog nivoa (logičko 1). Kružić na takt-ulazu označava da se sinhrona promjena stanja prihvata za vrijeme trajanja visokog naponskog nivoa na takt-ulazu, a vrši za vrijeme zadnje ivice takt-impulsa. Ukoliko na takt-ulazu postoji kružić i trougao, to znači da

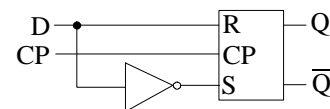
se radi o okidnom flip-flopu kod koga se sinhrona promjena stanja vrši na zadnjoj ivici prelaskom sa visokog na niski naponski nivo takt-impulsa (engl. HIGH-to-LOW). Ukoliko na takt-ulazu postoji samo trougao, to znači da se radi o okidnom flip-flopu kod kojeg se promjena stanja vrši prelaskom sa niskog na visoki naponski nivo takt-impulsa (engl. LOW-to-HIGH). Postojanje kružića na sinhronim ulazima naznačava da se radi o invertovanom ulazu.

Treba napomenuti da postoje određena odstupanja od označavanja asinhronih ulaza i takt-ulaza. Naime, takt-ulaz se ponegdje označava i sa CLK, CL, CK ili T, asinhroni ulaz S_D sa PR (engl. Preset), a asinhroni ulaz R_D sa CLR (engl. Clear).

NEKE REALIZACIJE FLIP-FLOPOVA

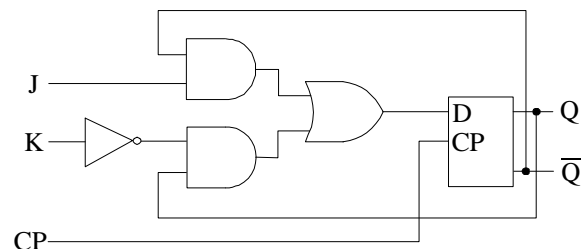
U određenim primjenama moguće je, korištenjem jedne vrste flip-flopa, realizirati više različitih tipova flip-flopa.

Na Slici 7. prikazano je formiranje D flip-flopa na bazi RS flip-flopa.



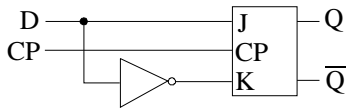
Slika 7.

Na Slici 8. prikazano je formiranje JK flip-flopa na bazi D flip-flopa.



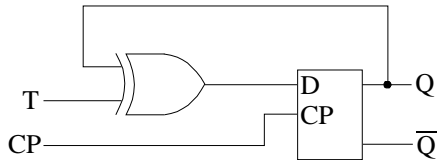
Slika 8.

Na Slici 9. prikazana je mogućnost formiranja D flip-flopa na bazi JK flip-flopa.



Slika 9.

Na Slici 10. prikazana je mogućnost formiranja T flip-flopa na bazi D flip-flopa.



Slika 10.

Navedene mogućnosti predstavljaju pogodnost pri realizaciji složenih struktura, koje sadrže više različitih tipova flip-flopa. U takvim slučajevima moguće je koristiti jedan tip flip-flopa, a odgovarajućim modifikacijama strukture realizirati ostale potrebne tipove flip-flopa.

74LS107

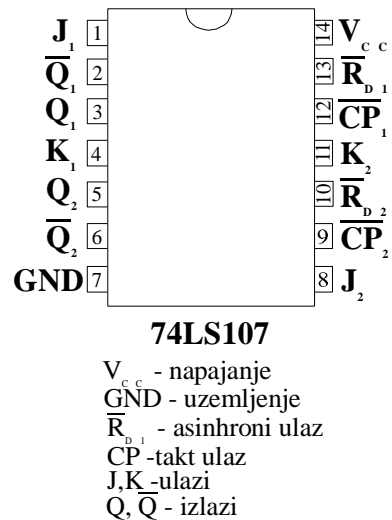
Integrirani krug 74LS107 sadrži dva JK flip-flopa, koji se okidaju sa negativnom ivicom takt – impulsa.

Svaki JK flip-flop ima asinhroni ulaz \bar{R}_D , sinhronne ulaze J i K, takt – ulaz, te komplementarne izlaze Q i \bar{Q} .

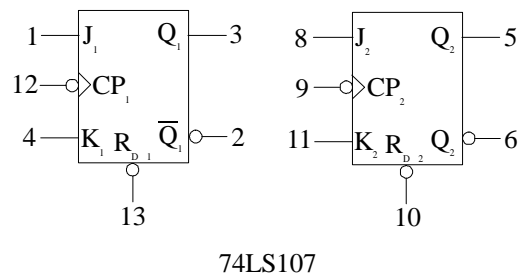
Asinhroni reset (\bar{R}_D) radi nezavisno od takt – ulaza, a aktivira se sa naponskim nivoom logičko 0.

Informacije sa ulaza J i K se prenose na izlaze pri negativnoj promjeni takt – impulsa (HIGH-to-LOW). Stanje na ulazima J i K treba biti stabilno za vrijeme poluperiode koja prethodi negativnoj promjeni takt – impulsa, da bi se dogodila očekivana promjena stanja flip-flopa.

Na Slici 17. prikazan je raspored izvoda, a na Slici 18. logički simbol integriranog kruga 74LS107.



Slika 17.



Slika 18.

Tabela istine 74LS107

OPERACIJA	ULAZI				IZLAZI	
	\bar{R}_D	\bar{CP}	J	K	Q	\bar{Q}
Asinhroni RESET	0	x	x	x	0	1
Promjena stanja izlaza	1	1↓	1	1	\bar{Q}	Q
Upis "0" (RESET)	1	1↓	0	1	0	1
Upis "1" (SET)	1	1↓	1	0	1	0
Bez promjene	1	1↓	0	0	Q	\bar{Q}

x označava proizvoljnu vrijednost logičke promjenjive

SKLOPOVI ZA KAŠNJENJE

Sklopovi za kašnjenje signala su relaksacioni sklopovi sa kojima je moguće ostvariti kašnjenje prednje ili zadnje ivice signala.

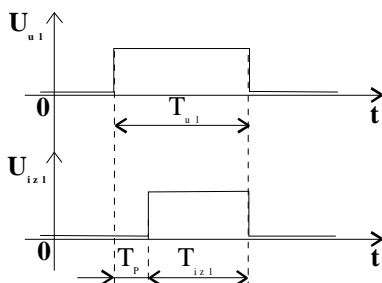
Kod ovakvih sklopova trajanje izlaznog signala je direktno zavisno od trajanja ulaznog signala, pa se ovi sklopovi ne mogu svrstati u grupu multivibratora.

Na Slici 1. i Slici 2. dati su dijagrami ulaznih i izlaznih signala sklopova za kašnjenje, koji ilustriraju osnovnu ideju njihovog funkcionisanja.

Na Slici 1. prikazani su ulazni i izlazni signal sklopa za kašnjenje prednje ivice ulaznog signala. Sa Slike 1. se jasno vidi da vrijedi:

$$T_{ul} = T_{izl} + T_P, \text{ gdje su:}$$

T_{ul} – vrijeme trajanja ulaznog signala;
 T_{izl} – vrijeme trajanja izlaznog signala;
 T_P – vrijeme kašnjenja prednje ivice ulaznog signala.



Slika 1.

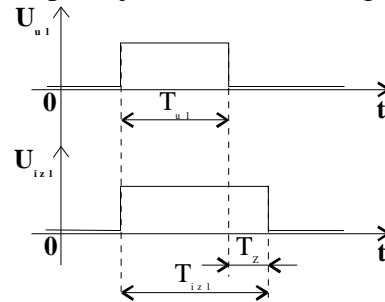
Sa Slike 1. se također vidi da je u ovom slučaju uvijek $T_{ul} > T_{izl}$. Ukoliko je $T_{ul} = T_{izl}$, tada je $T_P = 0$, odnosno nema kašnjenja prednje ivice ulaznog signala. Zadnja ivica izlaznog signala se poklapa sa zadnjom ivicom ulaznog signala.

Na Slici 2. prikazani su ulazni i izlazni signal sklopa za kašnjenje zadnje ivice ulaznog signala, “produživača impulsa”. Sa Slike 2. se jasno vidi da vrijedi:

$$T_{izl} = T_{ul} + T_Z, \text{ gdje su:}$$

T_{ul} – vrijeme trajanja ulaznog signala;
 T_{izl} – vrijeme trajanja izlaznog signala;
 T_Z – vrijeme kašnjenja zadnje ivice ulaznog signala.

Sa Slike 2. se također vidi da je uvijek $T_{izl} > T_{ul}$. Ukoliko je $T_{izl} = T_{ul}$, tada je $T_Z = 0$, odnosno nema “produžavanja” ulaznog signala. Prednja ivica izlaznog signala se poklapa sa prednjom ivicom ulaznog signala.



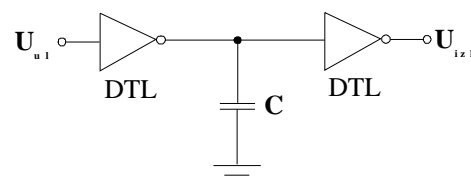
Slika 2.

U daljem tekstu biće obrađene neke od mogućih realizacija sklopova za kašnjenje prednje ili zadnje ivice na bazi TTL i CMOS logičkih krugova.

Produživači impulsa

(Sklopovi za kašnjenje zadnje ivice ulaznog signala)

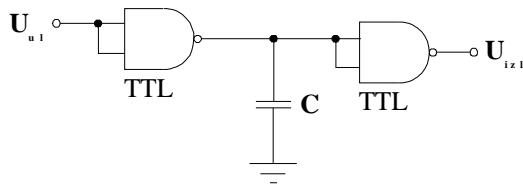
Na Slici 3. prikazana je shema sklopa za produžavanje zadnje ivice ulaznog signala realiziranog korištenjem DTL invertora.



Slika 3.

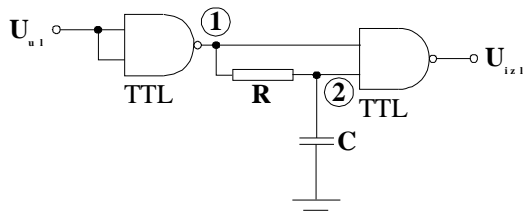
Umjesto DTL invertora mogu biti korišteni i TTL invertori, ili TTL “NI” logički krugovi u invertorskom spoju. Na Slici 4.

prikazana je shema sklopa za produžavanje ulaznog signala korištenjem TTL “NI” logičkih krugova.



Slika 4.

Slika 5. prikazuje donekle izmjenjen sklop za kašnjenje zadnje ivice ulaznog signala korištenjem TTL “NI” logičkih krugova.



Slika 5.

Prvi TTL “NI” logički krug je u invertorskom spoju, dok drugi krug radi kao “NI” logički krug.

Sklop na Slici 5. funkcioniše na slijedeći način. U početnom stanju, na ulazu sklopa je naponski nivo logičko 0, pa je na izlazu prvog “NI” logičkog kruga logičko 1. Taj naponski nivo se, u stacionarnom stanju, sa jedne strane direktno prenosi na ulaz drugog “NI” logičkog kruga, a sa druge strane preko otpora R i na drugi ulaz drugog “NI” logičkog kruga. Kondenzator C je na naponskom potencijalu logičko 1. Kako su na oba ulaza drugog “NI” logičkog kruga naponski nivoi logičko 1, to je na izlazu iz sklopa naponski nivo logičko 0.

Ukoliko se na ulaz sklopa dovede naponski nivo logičko 1, izlaz prvog “NI” logičkog kruga pada na logičko 0, što se odmah prenosi na jedan ulaz drugog “NI” logičkog kruga, tako da na izlazu sklopa odmah dobijamo logičko 1. Kašnjenje prednje

ivice izlaznog signala u odnosu na prednju ivicu ulaznog signala je jednako kašnjenju dva “NI” logička kruga, i praktično je reda veličine 30 ns, pa se može smatrati zanemarivim. Kondenzator C se prazni prema naponskom nivou logičko 0, sa vremenskom konstantom:

$$\tau_1 = C \cdot (R + r_{CE}), \text{ gdje je:}$$

r_{CE} – izlazni otpor tranzistora T_3 koji je u zasićenju (Slika 7.).

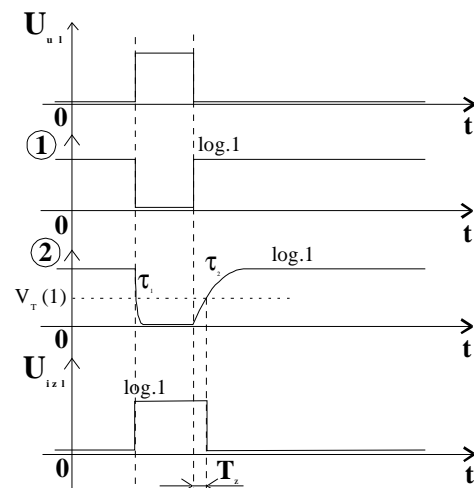
Nakon promjene ulaznog signala sa logičko 1 na logičko 0, izlaz prvog “NI” logičkog kruga postaje logičko 0, što se odmah prenosi na jedan ulaz drugog “NI” logičkog kruga. Kondenzator C počinje da se nabija prema naponskom nivou logičke 1 - $V(1)$, sa vremenskom konstantom:

$$\tau_2 \approx C \cdot (R + R_4), \text{ gdje je:}$$

R_4 – otpor u kolektoru tranzistora T_4 (Slika 7.).

Kada napon na kondenzatoru C dostigne nivo donjeg praga logičke 1 - $V_P(1)$, na izlazu drugog “NI” logičkog kruga, odnosno na izlazu sklopa se javlja naponski nivo logičko 0.

Na Slici 6. prikazani su valni oblici signala u karakterističnim tačkama sklopa sa Slike 5.



Slika 6.

Vrijeme kašnjenja zadnje ivice izlaznog signala u odnosu na zadnju ivicu ulaznog signala može se izračunati kao:

$$T_z = \tau_2 \cdot \ln \frac{E_C - V(0)}{E_C - V_P(1)}, \text{ gdje su:}$$

$V(0)$ – naponski nivo logičko 0;

$V_P(1)$ – naponski nivo donjeg praga logičko 1.

Ukoliko se uzme da nivo donjeg praga logičke 1 iznosi $V_P(1) \approx 2 V_{BE} \approx 1,4 \text{ V}$, tada se vrijeme kašnjenja zadnje ivice izlaznog signala može približno izračunati kao:

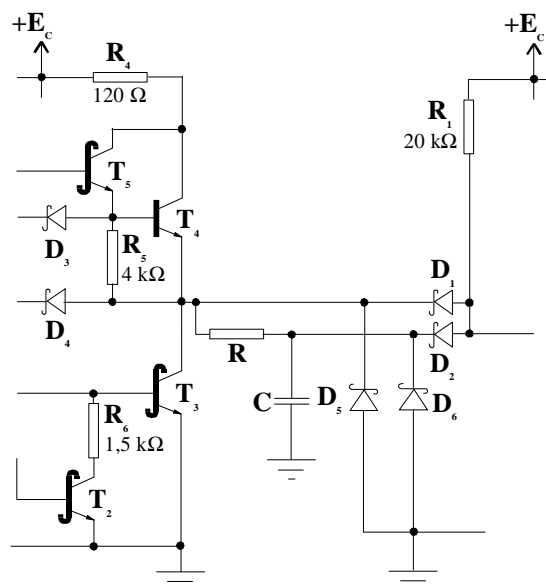
$$T_z \approx C \cdot (R + R_4) \cdot \ln 1,33 \approx 0,29 \cdot C \cdot (R + R_4).$$

Na Slici 7. prikazan je detalj strukture kruga za kašnjenje zadnje ivice ulaznog signala sa Slike 5, uz pretpostavku da su TTL “NI” logički krugovi tipa LS (Low - Schottky).

Umjesto TTL krugova, u sklopu na Slici 5. mogu biti upotrijebljeni i CMOS logički krugovi. U tom slučaju, trajanje kašnjenja zadnje ivice izlaznog signala se računa po obrascu:

$$T_z = R \cdot C \cdot \ln \frac{V_{DD} - V(0)}{V_{DD} - V_P}, \text{ gdje je:}$$

V_P – napon praga provođenja CMOS logičkog kruga.



Slika 7.

Pretpostavimo li da je $V(0) \approx 0$, te $V_P = 0,5 V_{DD}$, dobijamo približan obrazac za kašnjenje zadnje ivice izlaznog signala:

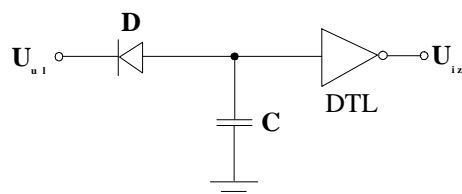
$$T_z \approx R \cdot C \cdot \ln 2 \approx 0,69 \cdot R \cdot C.$$

Napon praga provođenja CMOS logičkih krugova može varirati u rasponu od $0,33 V_{DD}$ do $0,66 V_{DD}$, tako da vrijeme kašnjenja zadnje ivice može varirati u granicama:

$$T_z \approx (0,41 \div 1,1) \cdot R \cdot C.$$

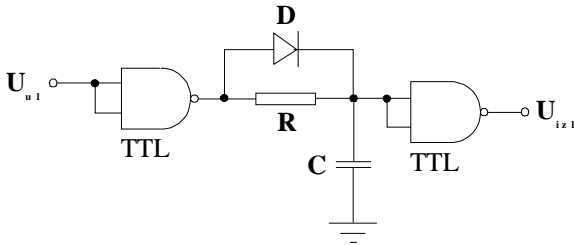
Sklopovi za kašnjenje prednje ivice izlaznog signala

Na Slici 8. prikazan je sklop za kašnjenje prednje ivice izlaznog signala korištenjem DTL krugova.



Slika 8.

DTL krugovi se danas rijetko koriste. Iz tog razloga javlja se potreba da se sklopovi za kašnjenje prednje ivice izlaznog signala formiraju na bazi TTL ili CMOS logičkih krugova. Na Slici 9. prikazana je shema sklopa za kašnjenje prednje ivice izlaznog signala formiranog na bazi TTL krugova.



Slika 9.

Glavni nedostatak sklopa sa Slike 9. jeste da pored kašnjenja prednje ivice, postoji i kašnjenje zadnje ivice izlaznog signala. Dioda D ima ulogu da premosti otpor R, tako da se punjenje i pražnjenje kondenzatora C vrši sa različitim vremenskim konstantama τ_1 i τ_2 :

$$\tau_1 = C \cdot (R + r_{CE}), \text{ gdje su:}$$

$$\tau_2 = C \cdot (R_4 + r_D)$$

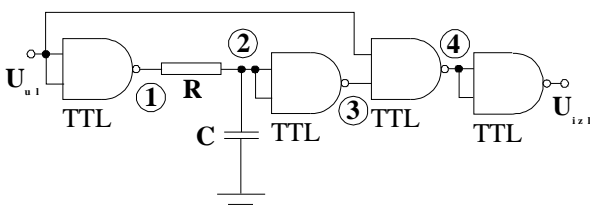
r_{CE} – izlazni otpor tranzistora T_3 koji je u zasićenju

(Slika 7.);

R_4 – otpor u kolektoru tranzistora T_4 (Slika 7.);

r_D – otpornost direktno polarizirane diode D.

Vremenska konstanta τ_2 u principu je znatno manja od vremenske konstante τ_1 , ali ipak uzrokuje kašnjenje i zadnje ivice izlaznog signala. Da bi se prevazišao ovaj problem, sklop sa Slike 9. se modifikuje. Na Slici 10. prikazan je modifikovani sklop sa Slike 9. u kome je izbjegnuto korištenje diode.



Slika 10.

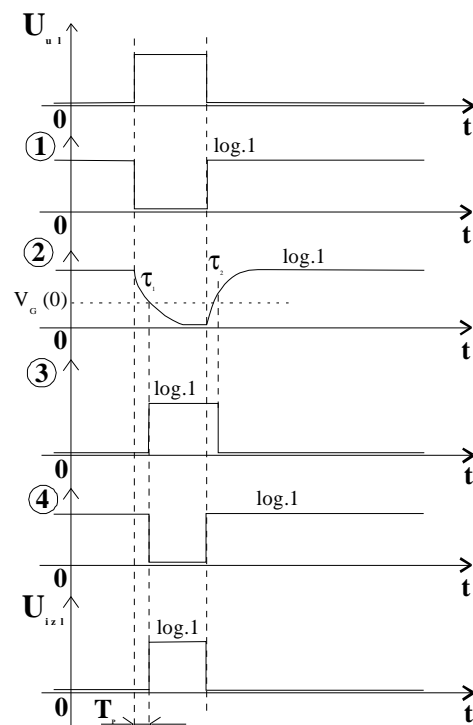
Na Slici 11. prikazani su valni oblici signala u karakterističnim tačkama sklopa sa Slike 10.

Kada se na ulazu sklopa sa Slike 10. nalazi logičko 0, na izlazu prvog TTL “NI” logičkog kruga je logičko 1, tako da je kondenzator C na potencijalu $V(1)$. Na izlazu drugog TTL “NI” logičkog kruga je logičko 0, koje se prenosi na jedan ulaz trećeg TTL “NI” logičkog kruga. Na drugom ulazu trećeg TTL “NI” logičkog kruga je logičko 0, koje se prenosi sa ulaza sklopa, tako da je na njegovom izlazu logičko 1, odnosno na izlazu sklopa je naponski nivo logičko 0.

Ukoliko se na ulaz sklopa dovede naponski nivo logičko 1, izlaz prvog TTL “NI” logičkog kruga pada na nivo logičko 0, i kondenzator C počinje da se prazni prema nivou $V(0)$, sa vremenskom konstantom:

$$\tau_1 = C \cdot (R + r_{CE}), \text{ gdje je}$$

r_{CE} – izlazni otpor tranzistora T_3 koji vodi (vidjeti Sliku 7.).



Slika 11.

Nakon što napon na kondenzatoru C dostigne nivo gornjeg praga logičke 0, na izlazu drugog TTL “NI” logičkog kruga se javlja logičko 1, koje se prenosi na ulaz trećeg TTL “NI” logičkog kruga. Kako je na trećem TTL “NI” logičkom krugu već od ranije prisutno logičko 1 sa ulaza sklopa, to se na njegovom izlazu javlja logičko 0, pa se na izlazu sklopa javlja naponski nivo logičko 1.

Vrijeme kašnjenja prednje ivice izlaznog signala može se odrediti prema obrascu:

$$T_P = \tau_1 \cdot \ln \frac{V(1) - V(0)}{V_G(0) - V(0)}, \text{ gdje je}$$

$V_G(0)$ – naponski prag logičko 0 TTL kruga.

Ukoliko pretpostavimo da je za TTL krug $V(1) \approx 3,5 \text{ V}$, $V(0) \approx 0,2 \text{ V}$, te $V_G(0) \approx 0,8 \text{ V}$, dobijamo pojednostavljen obrazac za kašnjenje prednje ivice izlaznog signala sklopa sa Slike 10.:

$$T_P \approx R \cdot C \cdot \ln 5,5 \approx 1,71 \cdot R \cdot C .$$

Ukoliko se na ulazu sklopa ponovo pojavi naponski nivo logičke 0, on se odmah prenosi na ulaz trećeg TTL “NI” logičkog kruga, tako da se na njegovom izlazu odmah javlja logičko 1, a na izlazu sklopa se odmah javlja naponski nivo logičko 0. Kašnjenje zadnje ivice izlaznog signala u odnosu na zadnju ivicu ulaznog signala praktično je jednako kašnjenju dva TTL “NI” logička kruga, i može biti zanemareno.

Kondenzator C se u ovom slučaju puni prema naponskom nivou logičko 1 sa vremenskom konstantom:

$$\tau_2 \approx C \cdot (R + R_4), \text{ (vidjeti Sliku 7.)}$$

Da bi sklop funkcionisao ispravno nova promjena ulaznog signala smije nastati tek nakon isteka vremena

$$T = (3 \div 5) \cdot \tau_2 .$$

Imajući ovo u vidu moguće je odrediti najveću dozvoljenu frekvenciju ulaznog signala.

Umjesto TTL krugova, u sklopu na Slici 10. mogu biti iskorišteni CMOS “NI” logički krugovi. U tome slučaju, vrijeme kašnjenja prednje ivice izlaznog signala određuje se prema obrascu:

$$T_P = R \cdot C \cdot \ln \frac{V_{DD} - V(0)}{V_{DD} - V_P}, \text{ gdje je:}$$

V_P – napon praga provođenja CMOS logičkog kruga.

Ukoliko pretpostavimo da je za CMOS krug naponski nivo logičke 0 $V(0) \approx 0$, te naponski nivo praga provođenja $V_P = 0,5 V_{DD}$, dobijamo približan obrazac za određivanje vremena kašnjenja prednje ivice izlaznog signala:

$$T_P \approx R \cdot C \cdot \ln 2 \approx 0,69 \cdot R \cdot C .$$

Obzirom da napon praga provođenja CMOS logičkih krugova može varirati u rasponu od $0,33 V_{DD}$ do $0,66 V_{DD}$, vrijeme kašnjenja prednje ivice može varirati u granicama:

$$T_P \approx (0,41 \div 1,1) \cdot R \cdot C .$$

MONOSTABILNI I ASTABILNI MULTIVIBRATORI NA BAZI LOGIČKIH KRUGOVA

Monostabilni i astabilni multivibratori su električni krugovi sa pozitivnom povratnom spregom. Monostabilni multivibratori su bistabilni krugovi sa jednim stabilnim stanjem. Astabilni multivibratori su u suštini oscilatori jer nemaju niti jedno stabilno stanje.

Dugo vremena su se monostabilni i astabilni multivibratori realizirali korištenjem isključivo diskretnih aktivnih i pasivnih komponenti: tranzistora, dioda, otpornika i kondenzatora.

Međutim, monostabilni i astabilni multivibratori se mogu formirati i na bazi digitalnih, logičkih krugova, a također i u formi integriranih krugova. Kod integriranih monostabilnih i astabilnih multivibratora većina elemenata je integrirana, izuzev nekoliko pasivnih elemenata (otpori, kondenzatori) pomoću kojih se određuje dužina trajanja kvazistabilnog stanja (monostabilni multivibrator) ili period i simetričnost oscilovanja (astabilni multivibrator).

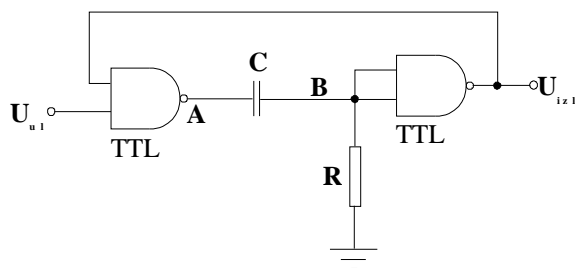
MONOSTABILNI MULTIVIBRATORI

Monostabilni multivibratori su električni krugovi koji imaju jedno stabilno stanje i jedno nestabilno (kvazi-stabilno) stanje. Kada nema vanjske pobude, monostabilni multivibrator se uvijek nalazi u stabilnom stanju. Pod dejstvom odgovarajućeg spoljašnjeg signala, monostabilni multivibrator prelazi u kvazi-stabilno stanje, u kojem se zadržava izvjesno vrijeme koje je određeno vrijednostima pasivnih elemenata multivibratora (R i C). Nakon isteka ovog vremena, monostabilni multivibrator se sam vraća u svoje stabilno stanje.

Monostabilni multivibratori formirani na bazi logičkih krugova

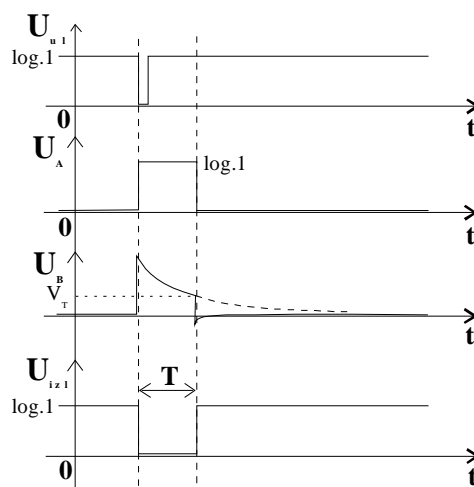
Monostabilni multivibratori se mogu formirati na bazi logičkih krugova. U daljem tekstu ograničićemo se na monostabilne multivibratore formirane na bazi logičkih krugova tipa TTL i CMOS.

Na Slici 1. prikazana je realizacija monostabilnog multivibratora na bazi TTL "NI" logičkih krugova. Signali u karakterističnim tačkama multivibratora sa Slike 1. prikazani su na Slici 2.



Slika 1.

Monostabilni multivibrator sa Slike 1. se okida sa negativnom promjenom ulaznog signala. U stabilnom stanju i na ulazu i na izlazu monostabilnog multivibratora je naponski nivo logičko 1, tako da je sa obje strane kondenzatora C naponski nivo logičko 0, odnosno kondenzator C je ispražnjen.



Slika 2.

Kvazistabilno stanje multivibratora nastaje nailaskom signala logičko 0 na ulaz

multivibratora. Tada prvi "NI" logički krug mijenja stanje, tako da je na njegovom izlazu sada logičko 1. Ta pozitivna promjena se preko kondenzatora C prenosi na ulaz drugog "NI" logičkog kruga, tako da je napon u tački B sada pozitivan, te je izlazni signal iz multivibratora je logičko 0. Kondenzator C se prazni preko otpornika R, te napon u tački B počinje da opada ka vrijednosti 0, sve dok ne dostigne prag logičko 0, označen sa V_T . Tada drugi "NI" logički krug mijenja stanje u logičko 1. Ta promjena se povratnom spregom prenosi do prvog "NI" logičkog kruga koji također promjeni stanje. Kondenzator C se prazni preko otpora izlaznog tranzistora prvog TTL kruga, koji se nalazi u zasićenju. Ovo pražnjenje se odvija veoma brzo, jer je otpor izlaznog tranzistora prvog TTL kruga veoma mali, pa je i vremenska konstanta pražnjenja $\tau = C r_{izl}$ veoma mala. Nakon ovoga nastupa stabilno stanje.

Dužina trajanja kvazistabilnog stanja monostabilnog multivibratora određena je sa obrascem:

$$T = R \cdot C \cdot \ln \frac{V(1) - V(0)}{V_T - V(0)},$$

gdje je $V(1)$ nivo logičko 1, a $V(0)$ nivo logičko 0 "NI" logičkog kruga. Napon praga logičke 0 na ulazu "NI" logičkog kruga iznosi $V_T \approx 2 \cdot V_{BEzas}$. Ukoliko se za vrijednost $V(0)$ uzme da je $V(0) \approx 0$, te $V(1) = 3,5$ V tada se vrijeme trajanja kvazistabilnog stanja monostabilnog multivibratora može odrediti po približnom obrascu:

$$T \approx R \cdot C \cdot \ln 2,5 \approx 0,92 \cdot R \cdot C .$$

Otpor R bi trebao biti manji od 220Ω , iz razloga da bi ulaz drugog "NI" kruga, u odsustvu okidnog signala, sigurno bio na nivou logičko 0.

Umjesto TTL krugova, u monostabilnom multivibratoru na Slici 1. mogu biti upotrijebljeni CMOS "NI" logički krugovi. Princip rada takvog monostabilnog multivibratora je isti kao i princip rada već opisanog multivibratora sa TTL krugovima.

Monostabilni multivibrator sa CMOS "NI" logičkim krugovima se također okida sa negativnim impulsom na ulazu. Vrijeme trajanja kvazistabilnog stanja takvog multivibratora dato je sa:

$$T = R \cdot C \cdot \ln \frac{V_{DD}}{V_P},$$

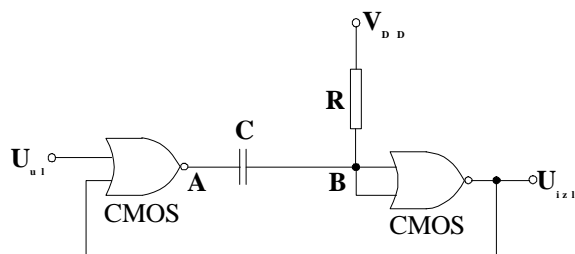
gdje su: V_{DD} – napon napajanja CMOS logičkog kruga,

V_P – napon logičkog praga CMOS kruga.

Napon logičkog praga CMOS krugova može varirati u rasponu 30 % V_{DD} do 70 % V_{DD} , tako da vrijeme trajanja kvazistabilnog stanja multivibratora sa CMOS logičkim krugovima može varirati u rasponu od $T = 0,36 RC$, do $T = 1,20 RC$. Obično je $V_P = 0,5 V_{DD}$, pa je približan obrazac za određivanje trajanja kvazistabilnog stanja $T = 0,69 RC$.

Na Slici 3. prikazana je struktura monostabilnog multivibratora formiranog na bazi CMOS "NILI" logičkih krugova. Slika 4. prikazuje dijagrame signala u karakterističnim tačkama monostabilnog multivibratora sa Slike 3.

Princip rada ovog monostabilnog multivibratora je u načelu sličan principu rada već opisanih monostabilnih multivibratora na bazi TTL i CMOS logičkih krugova. Za razliku od do sada predstavljanih monostabilnih multivibratora, okidanje multivibratora sa Slike 3. vrši se dovođenjem pozitivnog impulsa na ulaz.

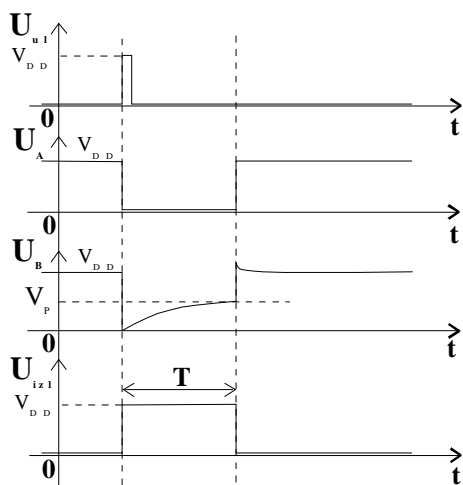


Slika 3.

U stabilnom stanju, napon na ulazu drugog "NILI" logičkog kruga multivibratora

sa Slike 3. iznosi V_{DD} , jer kroz otpor R ne teče nikakva struja, pa je napon na izlazu multivibratora približno 0 V . Kako je u stabilnom stanju na obje obloge kondenzatora C potencijal V_{DD} , napon na kondenzatoru u stabilnom stanju iznosi 0 V .

Nailaskom pozitivnog impulsa na ulazu, prvi "NILI" krug mijenja stanje, tako da je na njegovom izlazu logičko 0 . Ovaj negativni impuls se prenosi preko kondenzatora C na ulaz drugog "NILI" logičkog kruga, koji također mijenja stanje na izlazu u logičko 1 , odnosno napon na izlazu sada iznosi približno V_{DD} . Kako napon u tački B iznosi približno 0 V , to kroz otpor R proteče struja koja nabija kondenzator C prema naponu V_{DD} . Kvizistabilno stanje će potrajati sve dok napon na kondenzatoru C ne dostigne napon praga V_P drugog CMOS "NILI" logičkog kruga. U tom trenutku drugi "NILI" logički krug mijenja stanje, što se povratnom spregom prenosi do prvog "NILI" logičkog kruga, koji također mijenja stanje. Kondenzator C se brzo isprazni preko izlaza prvog "NILI" logičkog kruga, te nastupi stabilno stanje.



Slika 4.

Trajanje kvazistabilnog stanja dato je sljedećim obrascem:

$$T = \tau \cdot \ln \left[\frac{V_{DD}}{V_{DD} - V_P} \right] \approx R \cdot C \cdot \ln \left[\frac{V_{DD}}{V_{DD} - V_P} \right].$$

Kod CMOS logičkih krugova napon logičkog praga V_P varira od kruga do kruga, i može iznositi od $30\% V_{DD}$ do $70\% V_{DD}$. Uvrštavajući ove vrijednosti u obrazac za trajanje kvazistabilnog stanja, dobija se da vrijeme trajanja kvazistabilnog stanja može varirati u rasponu:

$$T \approx 0,36 \cdot R \cdot C \div 1,20 \cdot R \cdot C.$$

Obično se uzima da je $V_P \approx 0,5 V_{DD}$, pa približan obrazac za određivanje vremena trajanja kvazistabilnog stanja glasi:

$$T \approx 0,69 \cdot R \cdot C.$$

Kod ovog multivibratora vrijednost otpora R može se kretati u granicama $10\text{ k}\Omega < R < 10\text{ M}\Omega$, a vrijednost kondenzatora C u granicama $200\text{ pF} < C < \text{nekoliko stotina } \mu\text{F}$.

Integrirani monostabilni multivibratori

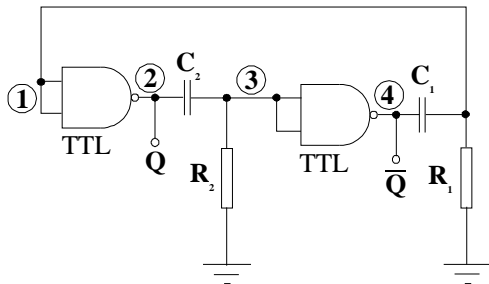
Primjeri integriranih monostabilnih multivibratora su integrirani krugovi 74LS121, 74LS122, 74LS123, 4098B. Svi navedeni multivibratori imaju integrirane sve elemente, izuzev vanjskog otpora R i vanjskog kondenzatora C , koji služe za određivanje trajanja kvazistabilnog stanja. Integrirani krug 4047B, koji može biti i monostabilni i astabilni multivibrator, biće posebno obrađen.

ASTABILNI MULTIVIBRATORI

Astabilni multivibratori su električni krugovi sa pozitivnom povratnom spregom, koji nemaju niti jedno stabilno stanje. Astabilni multivibratori su praktično oscilatori sa dva kvazistabilna stanja, koji na svom izlazu daju niz pravougaonih impulsa. Trajanje pravougaonih impulsa, odnosno kvazistabilnih stanja, određeno je pasivnim elementima (R i C), i u principu njihovo trajanje može biti različito. Astabilne multivibratore, kod kojih je trajanje kvazistabilnih stanja različito, nazivamo nesimetričnim.

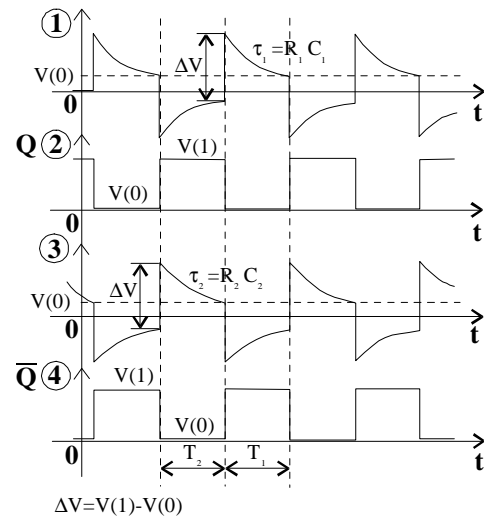
Astabilni multivibratori formirani na bazi logičkih krugova

Na Slici 5. prikazan je astabilni multivibrator formiran na bazi TTL "NI" logičkih krugova. Dijagrami signala u karakterističnim tačkama astabilnog multivibratora sa Slike 5., prikazan je na Slici 6.



Slika 5.

Pretpostavimo da je na ulazu prvog "NI" kruga na Slici 5. napon upravo opao ispod praga logičko 1. Usljed toga, na izlazu tog "NI" logičkog kruga se pojavi logičko 1. Taj pozitivni impuls se preko kondenzatora C_1 prenosi na ulaz drugog "NI" logičkog kruga, tako da se na izlazu drugog "NI" logičkog kruga pojavi logičko 0. Ovaj negativni impuls se preko kondenzatora C_2 prenosi na ulaz prvog "NI" logičkog kruga. U ovakvim uslovima, astabilni multivibrator se nalazi u kvazistabilnom stanju, pri čemu je $Q=1$ i $\bar{Q}=0$. Od tog trenutka kondenzator C_1 se počinje puniti, a kondenzator C_2 počinje da se prazni. Radi toga, napon na ulazu prvog "NI" kruga raste, a napon na ulazu drugog "NI" kruga opada. Kada bilo koji od ovih napona dostigne odgovarajući nivo logičkog praga TTL "NI" krugova, taj "NI" krug mijenja stanje izlaza, što preko pozitivne povratne sprege uzrokuje da i drugi "NI" logički krug promjeni stanje. Nakon toga, astabilni multivibrator se nalazi u drugom kvazistabilnom stanju, pri čemu je $Q=0$ i $\bar{Q}=1$. Dalje se proces ponavlja po istom obrascu.



Slika 6.

Vrijednosti otpornika R_1 i R_2 trebaju biti takve da nivoi napona na ulazima "NI" logičkih krugova budu približni nivoima logičkih pragova. Ukoliko bi otpori R_1 i R_2 bili isuviše mali, moglo bi se desiti da astabilni multivibrator nikada ne promjeni stanje. Amplituda izlaznih signala astabilnog multivibratora na bazi TTL krugova iznosi oko 3,5 V. Period oscilovanja multivibratora se može približno odrediti kao:

$$T = T_1 + T_2 = R_1 \cdot C_1 + R_2 \cdot C_2 .$$

Iz gornjeg obrasca se vidi da su, u principu, poluperiodi oscilovanja astabilnog multivibratora različiti. Međutim, ukoliko se vrijednosti otpora i kondenzatora uzmu tako da bude:

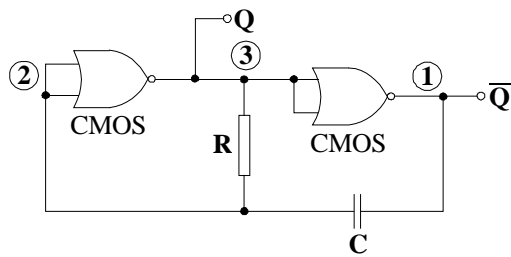
$$\begin{aligned} R_1 &= R_2 = R; \\ C_1 &= C_2 = C, \end{aligned}$$

tada se dobija astabilni multivibrator sa simetričnim poluperiodima oscilovanja, tako da je ukupan period oscilovanja dat kao:

$$T = 2 \cdot R \cdot C .$$

Na Slici 7. prikazan je astabilni multivibrator formiran na bazi CMOS logičkih krugova, dok je na Slici 8. prikazan

oblik signala u karakterističnim tačkama multivibratora sa Slike 7.



Slika 7.

Pretpostavimo da je napon na ulazu prvog “NILI” kruga multivibratora na Slici 7. upravo opao ispod praga logičke 1. Na izlazu tog “NILI” kruga javlja se stanje logičko 1, što se prenosi na ulaz drugog “NILI” logičkog kruga, tako da se na izlazu drugog “NILI” logičkog kruga javlja stanje logičko 0. Taj negativni impuls se preko kondenzatora C prenosi na ulaz prvog “NILI” logičkog kruga. Astabilni multivibrator se nalazi u kvazistabilnom stanju, pri čemu je $Q=1$ i $\bar{Q}=0$. Od tog trenutka kondenzator C se počinje puniti prema naponu napajanja CMOS logičkih krugova V_{DD} . Kada napon na kondenzatoru dostigne nivo logičkog praga CMOS kruga V_P , prvi “NILI” krug promijeni stanje na izlazu u logičko 0, što se prenosi na ulaz drugog “NILI” kruga, koji također promijeni stanje na izlazu u logičko 1. Taj pozitivni skok se prenosi na ulaz prvog “NILI” logičkog kruga. Astabilni multivibrator se sada nalazi u drugom kvazistabilnom stanju, pri čemu je $Q=0$ i $\bar{Q}=1$. Od tog trenutka, kondenzator C se počinje prazniti ka nuli, a pražnjenje teče do nivoa logičkog praga CMOS kruga V_P , i cijeli proces se ponavlja.

Amplituda izlaznog signala astabilnog multivibratora sa Slike 7. je približno jednaka naponu napajanja CMOS logičkih krugova V_{DD} . Period oscilovanja multivibratora sastoji se od poluperioda u kojima se kondenzator naizmjenično prazni i puni. Kondenzator C se prazni u vremenu:

$$T_1 = R \cdot C \cdot \ln \frac{V_{DD}}{V_P},$$

a puni se u vremenu:

$$T_2 = R \cdot C \cdot \ln \frac{V_{DD}}{V_{DD} - V_P},$$

tako da ukupni period oscilovanja astabilnog multivibratora iznosi:

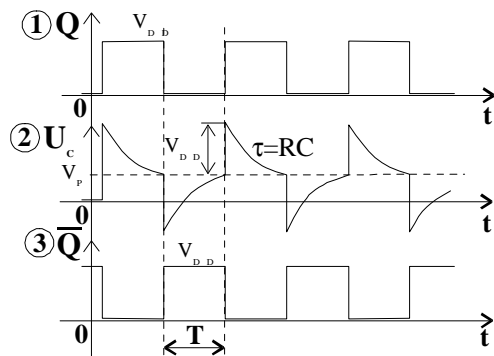
$$T = T_1 + T_2 = R \cdot C \cdot \ln \left[\frac{V_{DD}}{V_P} \cdot \frac{V_{DD}}{V_{DD} - V_P} \right].$$

Obično se uzima da je $V_P = V_{DD}/2$, tako da se u tom slučaju period oscilovanja astabilnog multivibratora može izračunati kao:

$$T = R \cdot C \cdot \ln 4 \approx 1,39 \cdot R \cdot C.$$

Naponski nivo logičkog praga CMOS logičkih krugova može varirati u rasponu od 30 % V_{DD} do 70 % V_{DD} , tako da period oscilovanja astabilnog multivibratora može varirati u rasponu:

$$T \approx 1,39 \cdot R \cdot C; \text{ do } T \approx 1,56 \cdot R \cdot C.$$



Slika 8.

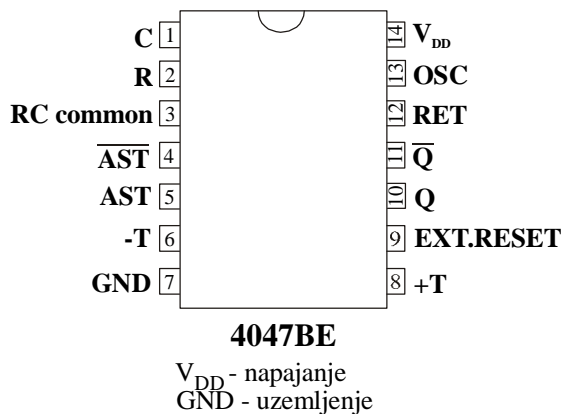
Treba napomenuti da su, u opštem slučaju, poluperiodi oscilovanja astabilnog multivibratora T_1 i T_2 različiti. Oni su jednaki samo u slučaju kada vrijednost logičkog praga CMOS logičkog kruga iznosi $V_P = 0,5 V_{DD}$.

INTEGRIRANI MONOSTABILNI/ASTABILNI MULTIVIBRATOR 4047BE

Integrirani krug 4047BE je CMOS integrirani krug koji omogućava realizaciju i monostabilnog i astabilnog multivibratora. Za konstrukciju monostabilnog/astabilnog multivibratora potrebno je dodati dvije

spoljašnje komponente R i C, pomoću kojih se određuje trajanje kvazistabilnih stanja kod monostabilnog/astabilnog multivibratora.

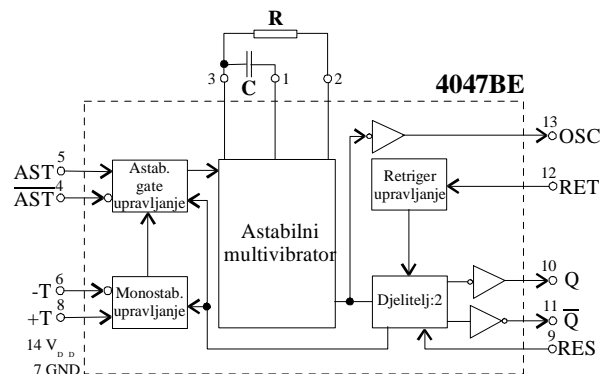
Integrirani krug 4047BE se pakuje u DIP pakovanje sa 14 izvoda. Integrirani krug 4047BE se napaja istosmjernim naponom u rasponu $V_{DD} = +5 \div +15$ V. Na Slici 9. prikazan je raspored izvoda integriranog kruga 4047BE.



Slika 9.

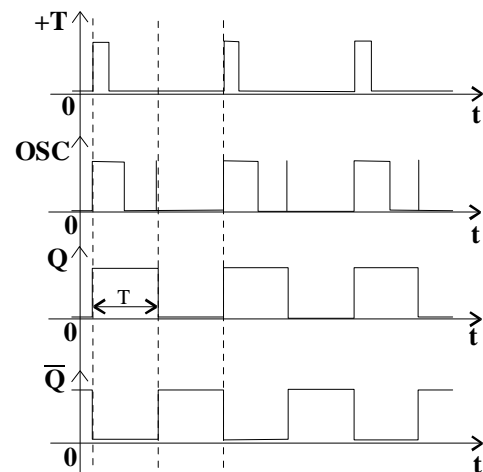
Na Slici 10. prikazana je blok – shema integriranog kruga 4047BE.

Ukoliko je potrebno da integrirani krug 4047BE radi kao standardni monostabilni multivibrator, ulaze integriranog kruga treba podesiti na slijedeći način. Ulazi AST i RET se vežu na masu, a ulaz \overline{AST} na napon napajanja $+V_{DD}$. Okidni impulsi se dovode na ulaze +T i -T. Ukoliko se monostabilni multivibrator okida sa rastućom ivicom okidnog impulsa, okidni impuls se dovodi na ulaz +T, a ulaz -T se veže na masu. Ukoliko se okidanje vrši opadajućom ivicom, okidni signal se dovodi na ulaz -T, a ulaz +T se spaja na napon napajanja $+V_{DD}$. Dovođenjem logičko 1 na ulaz EXT.RESET (RES) moguće je resetovati monostabilni multivibrator. Ukoliko se ulaz EXT.RESET (RES) ne koristi, potrebno ga je vezati na masu.



Slika 10.

Na Slici 11. prikazan je oblik signala na izlazima monostabilnog multivibratora pri okidanju pozitivnom ivicom okidnog signala. Na Slici 12. prikazan je oblik signala na izlazima monostabilnog multivibratora pri okidanju negativnom ivicom okidnog signala.



Slika 11.

Izlazni signal monostabilnog multivibratora se normalno uzima sa izlaza Q ili \overline{Q} , dok se signal sa izlaza OSC normalno ne koristi, zbog postojanja dodatnog parazitnog kratkotrajnog impulsa, kako se to vidi na Slici 11.

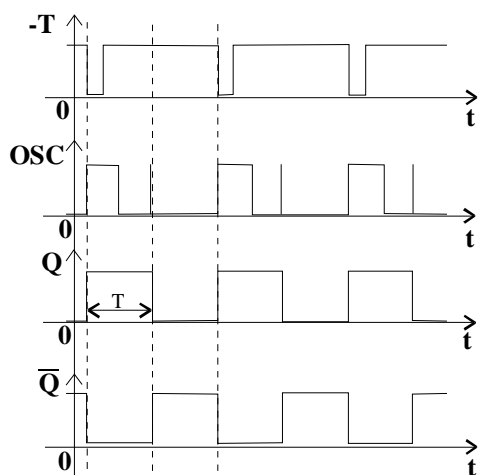
Trajanje kvazistabilnog stanja na izlazu monostabilnog multivibratora određuje se po obrascu:

$$T \approx 2,48 \cdot R \cdot C ,$$

pri pretpostavljenom naponu praga $V_P = 0,5 V_{DD}$. Najveća vrijednost trajanja kvazistabilnog stanja postoji u slučajevima

kada je napon praga $V_P = 0,33 V_{DD}$, ili $V_P = 0,67 V_{DD}$, i iznosi:

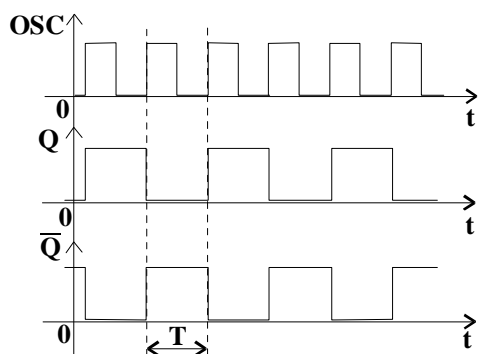
$$T \approx 2,71 \cdot R \cdot C .$$



Slika 12.

Ukoliko integrirani krug 4047BE treba da radi kao astabilni multivibrator, tada je njegove ulaze potrebno podesiti na slijedeći način. Na upravljački ulaz AST dovodi se logičko 1, a na ulaz \overline{AST} logičko 0. Ovo je najbolje izvesti tako da se AST kratko spoji sa napajanjem $+V_{DD}$, a \overline{AST} na masu. Ulaz +T se kratko spaja sa napajanjem $+V_{DD}$, a ulazi -T, RET i EXT.RESET (RES) na masu.

Na Slici 13. prikazani su valni oblici signala na izlazima integriranog kruga 4047BE, kada on radi kao astabilni multivibrator.



Slika 13.

Astabilni multivibrator na izlazu OSC generiše izlazni signal oblika četvrtki, sa periodom oscilovanja datim sa:

$$T \approx 4,40 \cdot R \cdot C ,$$

ukoliko napon praga iznosi $V_P = 0,5 V_{DD}$. Najveća vrijednost perioda oscilovanja T astabilnog multivibratora dobija se za napone praga $V_P = 0,33 V_{DD}$, odnosno $V_P = 0,67 V_{DD}$, i ona iznosi:

$$T \approx 4,62 \cdot R \cdot C .$$

Kako se to vidi sa blok – sheme na Slici 10., signal sa izlaza OSC prolazi kroz djelitelj sa dva, tako da se na izlazima Q i \overline{Q} dobijaju komplementarni signali dvostruko većeg perioda oscilovanja i koji imaju jednako trajanje impulsa i pauze.

Integrirani krug 4047BE omogućava da se formiraju multivibratori sa veoma širokim opsegom vrijednosti perioda impulsa. Trajanje kvazistabilnih stanja tako formiranih multivibratora određeno je vrijednostima korištenih vanjskih komponenti R i C. Preporučuje se da vrijednost vanjskog kondenzatora kod astabilnog načina rada bude veća od $C = 100 \text{ pF}$, a kod monostabilnog načina rada veća od 1000 pF . Najveća vrijednost vanjskog kondenzatora nije ograničena. Vrijednost vanjskog otpornika može se kretati u rasponu $10 \text{ k}\Omega < R < 1 \text{ M}\Omega$.

REGISTRI

Registri su sklopovi koji se koriste za memoriranje digitalnih informacija. Razlikujemo dvije vrste registara, stacionarne registre i registre pomaka.

Stacionarni registri služe za privremeno memoriranje digitalnih informacija. Stacionarni registri služe da u određenom trenutku prihvate i memoriraju digitalnu informaciju nazivaju se *latch* registri (engl. brava, kopča). Stacionarni registri koji se koriste za privremeno memoriranje digitalnih informacija prilikom asinhronne razmjene informacija nazivaju se *buffer* registri (engl. rastavni stepen). Informacija upisana u stacionarni registar zadržava se u registru sve do njenog namjernog brisanja. U slučaju gubitka napona napajanja informacije pohranjene u stacionarnom registru se gube.

Registri pomaka (engl. *shift*) su registri u kojima se memorirana digitalna informacija nailaskom odgovarajućeg takt impulsa pomjera za jedno mjesto.

Kao memorijski elementi u registrima koriste se flip-flopovi, najčešće flip-flopovi tipa RS, D ili JK. Digitalna informacija se sastoji od određenog broja znamenki binarnog brojnog sistema, koje se nazivaju *bit* (skraćeno od engl. *binary digit*). Za svaki bit digitalne informacije potreban je jedan flip-flop, što znači da broj flip-floпова unutar strukture registra određuje "dužinu" digitalne informacije koja se može pohraniti u registru. "Dužina" registara u praksi varira od 4 bita do 1024 bita. Zbog velikog broja flip-floпова u strukturi, posebno kod dužih registara, registri se realiziraju kao VLSI krugovi.

Registri pomaka

Registri pomaka su digitalni krugovi koji služe za serijsko ili paralelno upisivanje i čitanje digitalnih informacija. Registar upisanu digitalnu informaciju zadržava sve dok se u njega ne upiše nova digitalna informacija, ili dok ne nestane napajanje registra. Prilikom serijskog upisivanja ili čitanja digitalnih informacija, digitalna

informacija se pod dejstvom odgovarajućeg takt impulsa pomjera kroz registar za po jedan bit (za po jedno mjesto). Iz tog razloga ovi registri su i dobili ime registri pomaka (engl. *shift* – pomak).

Prema načinu upisivanja i čitanja digitalnih informacija, razlikujemo serijsko/serijske, serijsko/paralelne, paralelno/serijske i paralelno/paralelne registre pomaka. Prva riječ u odrednici označava način upisa, a druga riječ način čitanja digitalnih informacija iz registra. Serijski upis informacija u registar pomaka vrši se sinhrono sa odgovarajućim takt impulsima, dok se paralelni upis može vršiti bilo sinhrono ili asinhrono. U upotrebi su najčešće serijsko/serijski ili serijsko/paralelni registri pomaka.

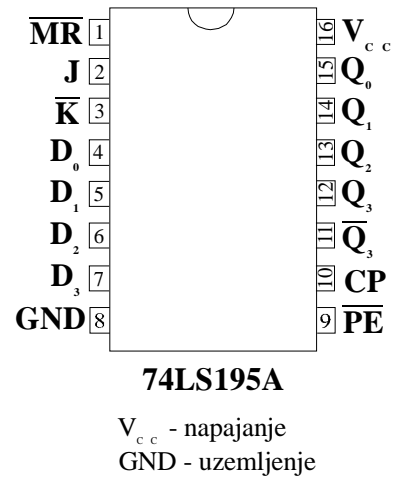
Registri pomaka se također razlikuju i prema smjeru pomjeranja digitalne informacije unutar registra. Pomjeranje digitalne informacije može se vršiti ulijevo ili udesno, pa razlikujemo registre pomaka sa pomjeranjem ulijevo ili udesno. Postoje i dvosmjerni registri pomaka kod kojih se, pomoću ulaza za upravljanje smjerom pomjeranja, može izvršiti izbor smjera pomjeranja digitalne informacije.

Registri pomaka omogućavaju i pretvaranje paralelno zadane digitalne informacije u serijski zadanu i obrnuto. Iz tog razloga, registri pomaka se koriste prilikom serijskog prenosa digitalnih informacija, ali i za realizaciju brojača, memorija, i dr.

Integrirani četverobitni registar pomaka 74LS195A sa paralelnim pristupom

Integrirani krug 74LS195A predstavlja četverobitni registar pomaka sa paralelnim pristupom. Integrirani krug 74LS195A omogućava serijski, paralelni, serijsko/paralelni i paralelno/serijski prenos digitalnih informacija velikom brzinom. Integrirani krug 74LS195A može se koristiti za realizaciju aplikacija sa brojanjem, pomjeranjem ili privremenim memoriranjem digitalnih informacija.

Na Slici 1. prikazan je raspored izvoda integriranog kruga 74LS195A. Na Slici 2. prikazan je logički simbol integriranog kruga 74LS195A.

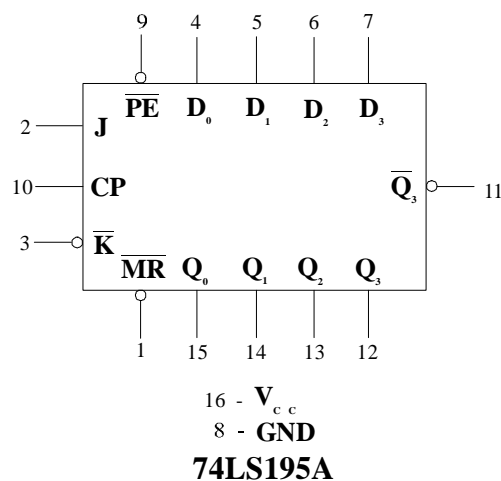


Slika 1.

TABELA 1.

NAČIN RADA	ULAZI						IZLAZI				
	\overline{MR}	CP	\overline{PE}	J	\overline{K}	D_n	Q_0	Q_1	Q_2	Q_3	\overline{Q}_3
Asinhroni reset	0	x	x	x	x	x	0	0	0	0	1
Pomjeranje, set prvog bita	1	\uparrow 1	1	1	1	x	1	q_0	q_1	q_2	\overline{q}_2
Pomjeranje, reset prvog bita	1	\uparrow 1	1	0	0	x	0	q_0	q_1	q_2	\overline{q}_2
Pomjeranje, inverzija prvog bita	1	\uparrow 1	1	1	0	x	\overline{q}_0	q_0	q_1	q_2	\overline{q}_2
Pomjeranje, zadržav. prvog bita	1	\uparrow 1	1	0	1	x	q_0	q_0	q_1	q_2	\overline{q}_2
Paralelno upisivanje	1	\uparrow 1	0	x	x	d_n	d_0	d_1	d_2	d_3	\overline{d}_3

x – označava da stanje logičke promjenjive na ulazu nema uticaja na trenutnu funkciju registra;
 d_n, q_n – mala slova označavaju prethodno stanje na odgovarajućem ulazu ili izlazu neposredno prije pozitivne ivice takt impulsa;
 \uparrow 1 – oznaka za pozitivnu ivicu (promjenu) takt impulsa.



Slika 2.

Integrirani krug 74LS195A je TTL tipa, familije LS (Low Schottky), tako da je karakterisan malom potrošnjom. Integrirani krug se napaja istosmjernim naponom $V_{CC} = +5\text{ V} \pm 5\%$. Isti naponski nivo sa istim najvećim dozovljenim odstupanjem se preporučuje i za ostale ulaze integriranog kruga.

Dužina registra pomaka 74LS195A iznosi četiri bita. Na Slici 1. i Slici 2. ulazi registra su označeni sa D_n , a izlazi su označeni sa Q_n . Ulaz CP predstavlja ulaz takt signala. Ulaz \overline{MR} je asinhroni ulaz i služi za безусловni reset paralelnih izlaza Q_n registra pomaka. Ulazi \overline{PE} , J i \overline{K} su upravljački ulazi, i služe za odabir jednog od mogućih načina rada registra pomaka.

Tabela 1. predstavlja tabelu istine (funkcionalnu tabelu) registra pomaka 74LS195A. Iz Tabele 1. se vidi da registar pomaka ima dva osnovna načina rada: pomjeranje udesno i paralelno upisivanje. Inače, registar pomaka 74LS195A omogućava serijski, paralelni, serijsko/paralelni ili paralelno/serijski prenos digitalnih informacija dužine četiri bita.

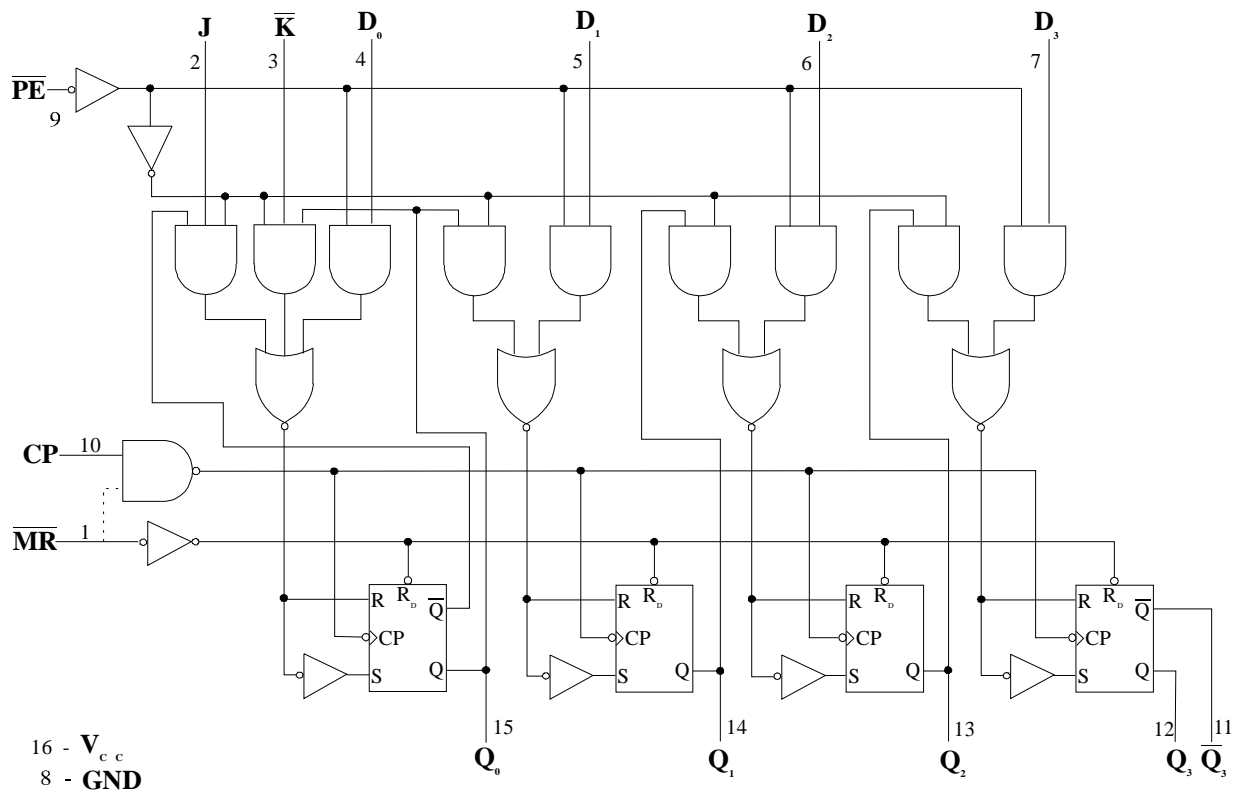
Svi, bilo serijski bilo paralelni prenos digitalnih informacija obavljaju se sinhrono, i to na svaku pozitivnu (LOW-to-HIGH) promjenu takt signala. Jedini asinhroni ulaz integriranog kruga 74LS195A

je ulaz \overline{MR} . Dovođenjem logičko 0 na ulaz \overline{MR} dolazi do asinhronog reseta paralelnih izlaza Q_n registra pomaka, bez obzira na stanje na takt ulazu, stanja na ostalim ulazima ili na prethodna stanja na izlazima registra. Da bi integrirani krug 74LS195A radio kao registar, na ulazu \overline{MR} (Master Reset) mora biti dovedeno logičko 1.

Ulaz \overline{PE} (Parallel Enable) se koristi za odabir paralelnog upisivanja. Ukoliko se na ulaz \overline{PE} dovede logičko 0, stanje sa paralelnih izlaza D_n se prenosi na izlaze Q_n , bez obzira na stanje ostalih sinhronih ulaza. Jedan od četiri pomjeračka načina rada registra odabire se odgovarajućom kombinacijom na ulazima J i \overline{K} . Ulazi J i \overline{K} služe i kao serijski ulazi podataka u registar, koji se nakon ulaska u registar pomjeraju udesno za po jedan bit nakon svake pozitivne promjene takt impulsa (ovo je slučaj sa prva dva pomjeračka načina rada registra, navedena u Tabeli 1.). Povezivanjem izvoda J i \overline{K} praktično se dobija D flip-flop na ulazu registra.

Pomoću registra 74LS195A moguće je postići i pomjeranje digitalne informacije s desna na lijevo. Da bi se to postiglo, potrebno je povezati izlaze Q_n sa ulazima D_{n-1} , i na ulaz \overline{PE} dovesti logičko 0.

Na Slici 3. prikazana je detaljna logička struktura registra pomaka 74LS195A.



Slika 3.

